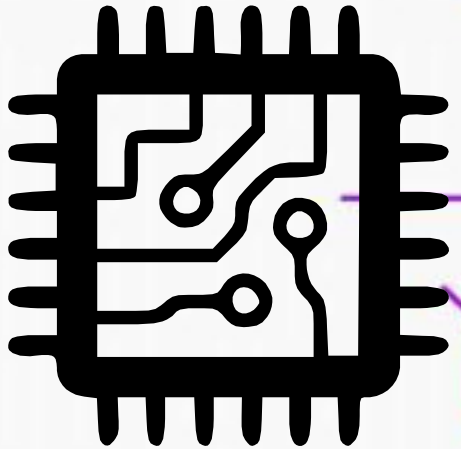
بسم الله الرحمن الرحیم

فصل دوم: فیزیک ترانزیستورهای ماسفت



۲-۱ ملاحظات عمومی

۲-۲ رابطه جریان- ولتاژ ترانزیستور ماسفت

۲-۳ اثرات ثانویه

۲-۴ مدل شبیه‌سازی ترانزیستورهای ماسفت

۲-۵ رفتار ترانزیستور ماسفت به عنوان خازن

*) ترانزیستورهای فین‌فت

مقدمه

- اهمیت این فصل در شناخت ترانزیستورهای ماسفت مورداستفاده در فن‌آوری ساخت CMOS است.

CMOS = Complementary Metal Oxide Semiconductor

- عبارت ماسفت MOSFET به معنای ترانزیستور اثر میدان فلز، اکسید و نیمه‌هادی است.

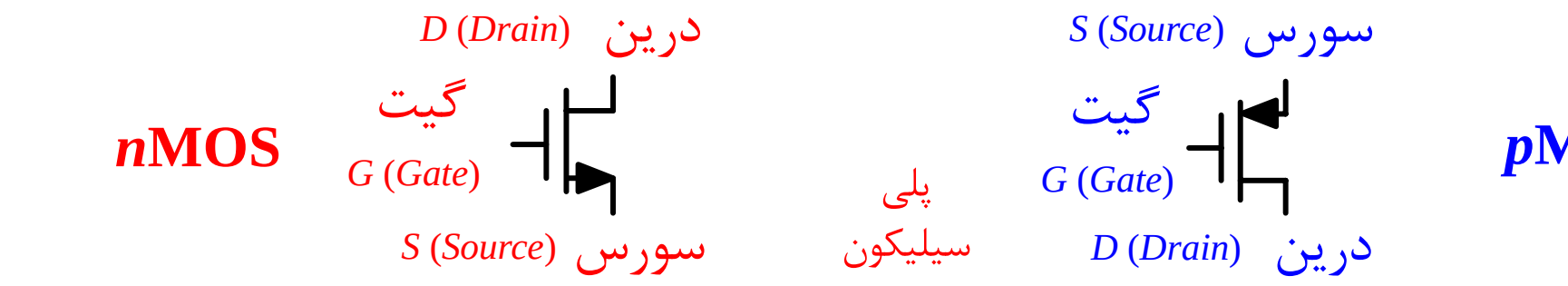
MOSFET = Metal Oxide Semiconductor Field Effect Transistor

- مشابه با ترانزیستورهای دوقطبی، ترانزیستورهای ماسفت دارای دو نوع n و p هستند. هر دو ترانزیستور، دارای چهار پایانه درین D، گیت G، سورس S و بالک (زمینه) با نماد B هستند.
- ترانزیستور MOS، خیلی بعدتر از ترانزیستور دوقطبی BJT ساخته شد. ولی تا اواخر دهه ۱۹۷۰ کاربرد زیادی پیدا نکرد. از اواخر دهه ۱۹۷۰، مدارهای CMOS مبتنی بر دو نوع ترانزیستور ماسفت ساخته شدند.
- مدارهای مجتمع (IC) ابتدایی تنها شامل ترانزیستور nMOS بودند. ولی به‌تدریج ترانزیستور pMOS هم به آن اضافه شد و فن‌آوری سیماس CMOS = nMOS + pMOS مورد توجه طراحان قرار گرفت.

IC = Integrated Circuit BJT = Bipolar Junction Transistor

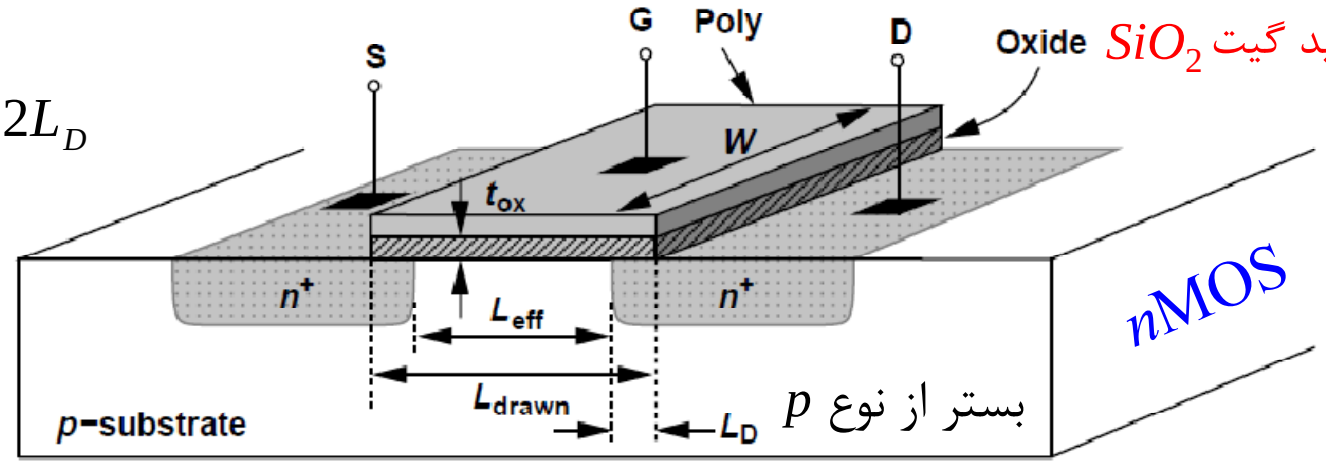
- ترانزیستور ماسفت یک ترانزیستور کاملاً متقارن است که از لحاظ ساختار و نحوه کاربرد، پایانه های درین و سورس آن هیچ تفاوتی با هم ندارند.

ترانزیستور ماسفت



$$L_{drawn} = L_{eff} + 2L_D$$

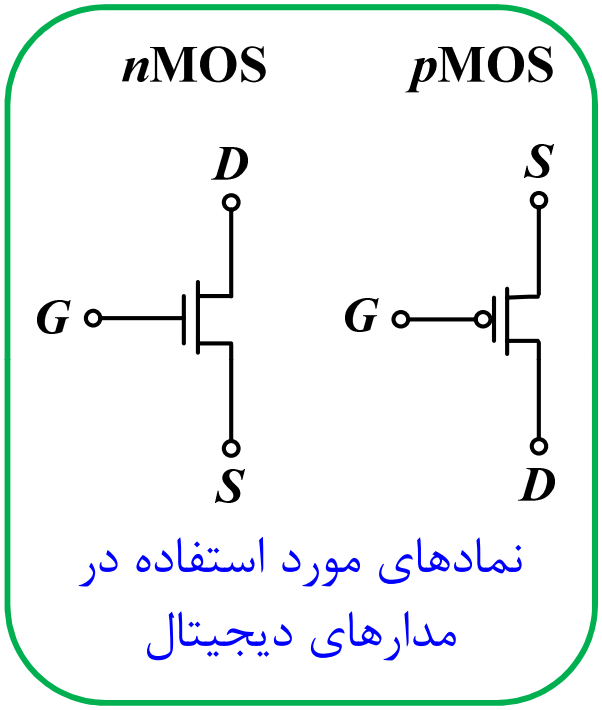
$$L_D = L_{OV}$$

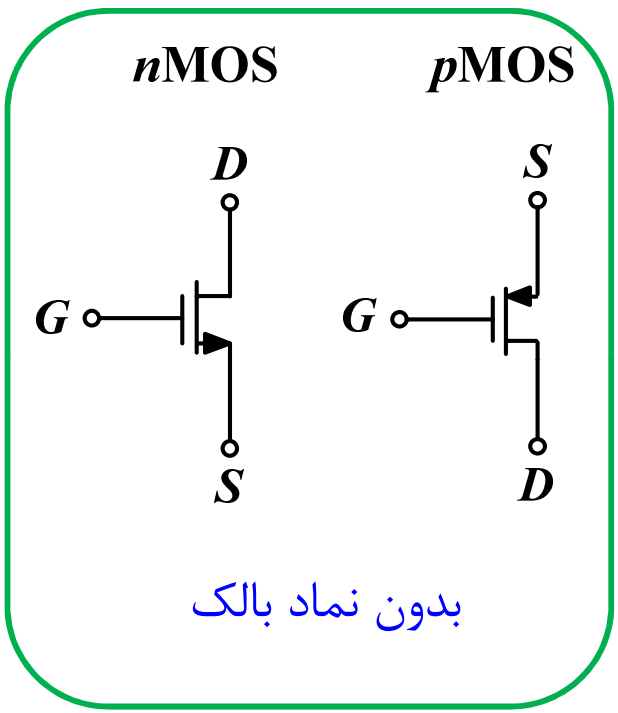


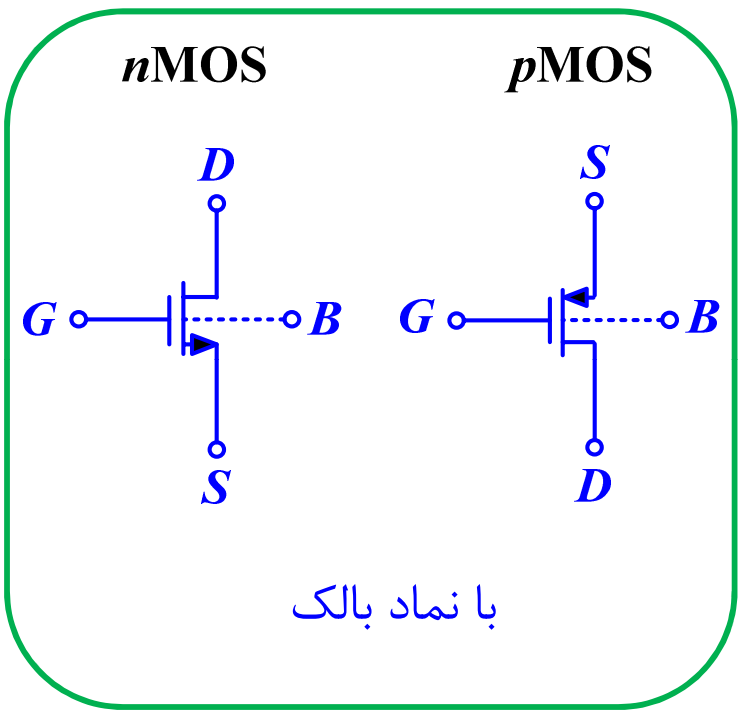
نمای از روبروی ترانزیستور

- ترانزیستور n–type MOS یا nMOS، از ساخت ناحیه گیت از جنس اکسید SiO_2 با ابعاد W و L_{drawn} بر روی بستر سیلیکونی (بالک یا بدنه) (bulk or body) با ناخالصی p، و پس از آن بمباران بستر توسط اتم‌های با ناخالصی n ایجاد می‌شود. با بمباران بستر، نواحی سورس و درین n^+ و با ناخالصی قابل توجه ایجاد می‌شوند.
- در هنگام ساخت اتصالات سورس و درین، کمی ناخالصی به زیر ناحیه گیت نفوذ می‌کند که باعث می‌شود که طول مؤثر گیت (L_{eff}) یا همان (L)، کمی از طول واقعی گیت (L_{drawn}) کمتر باشد.

نمادهای ترانزیستور

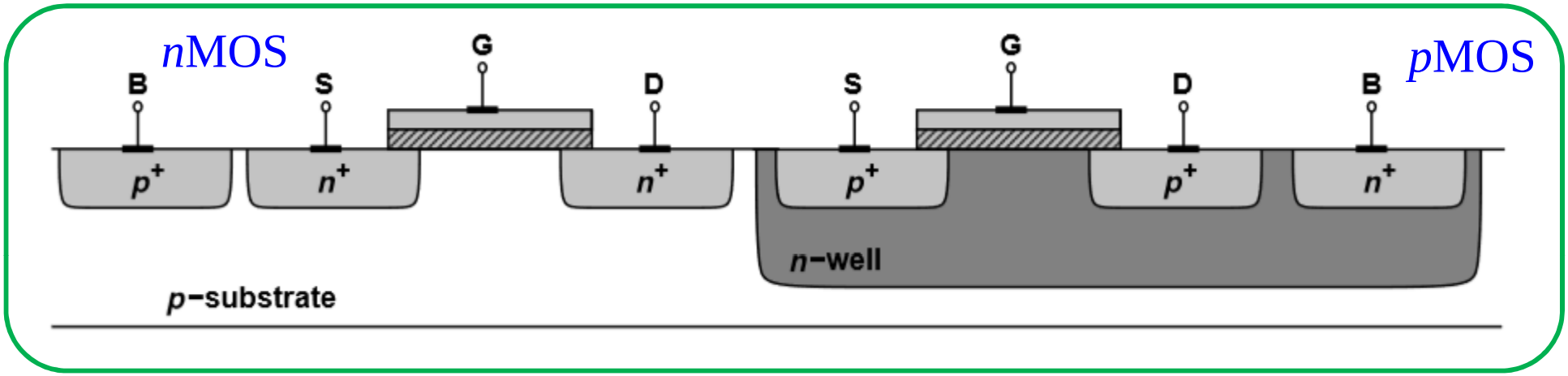






- ترانزیستورهای ماسفت دارای چهار پایانه هستند.
- بستر با علامت B (بالک) مشخص می‌شود.
- سورس pMOS در بالا قرار گرفته و دارای پتانسیل الکتریکی بالاتری نسبت به درین است.
- در بیشتر مدارها، بالک ترانزیستورهای nMOS و pMOS را به‌ترتیب به کمترین پتانسیل الکتریکی (زمین مدار) و سورس ترانزیستور متصل می‌کنند. لذا گاهی اوقات این پایانه نمایش داده نمی‌شود.

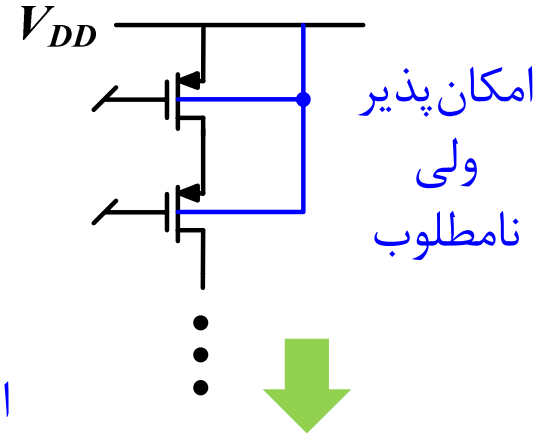
ساختار ترانزیستور ماسفت

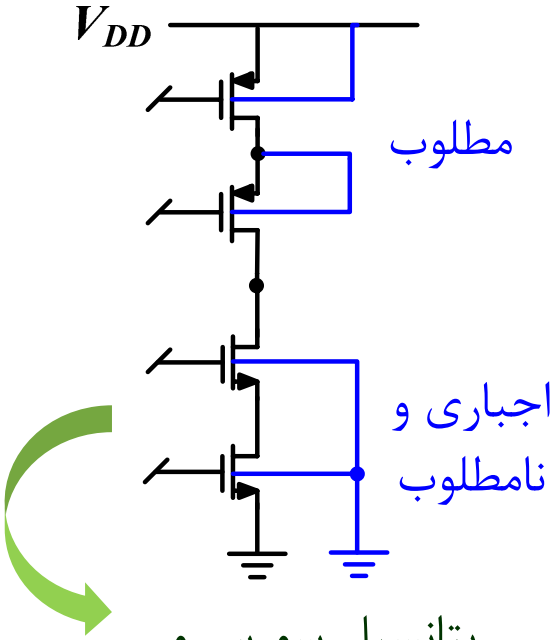


- در فن‌آوری CMOS، ترانزیستورهای pMOS در بسترهای n–well جداگانه ساخته می‌شوند.
- برای جلوگیری از روشن شدن ناخواسته دیودهای پارازیت، بستر کلی (p-substrate) همه ترانزیستورهای nMOS را به کمترین پتانسیل الکتریکی موجود در مدار متصل می‌کنند.
- پایانه S، حامل‌های بار لازم را برای ایجاد جریان فراهم می‌کند و پایانه D، آنها را جمع می‌کند.
- در ترانزیستورهای nMOS، همواره پایانه با ولتاژ بالاتر، درین و پایانه با ولتاژ پایین‌تر سورس نامیده می‌شوند. عکس این موضوع برای ترانزیستورهای pMOS صادق است. لذا با تغییر ولتاژ پایانه‌ها، ممکن است که جای پایانه‌های درین و سورس عوض شود.

ساختار ترانزیستور ماسفت

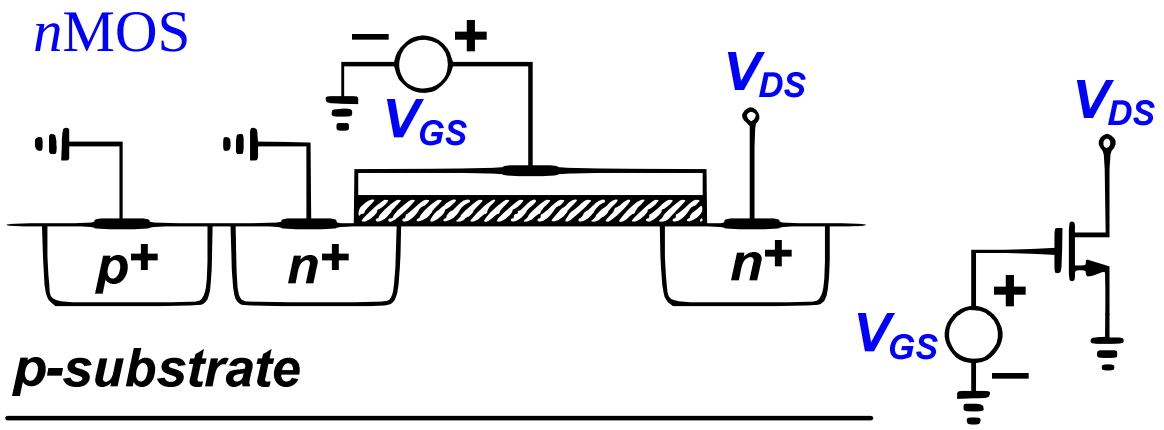
- دیودهای دو اتصال S و D تا بستر B، باید به صورت معکوس بایاس شوند تا عملکرد عادی ترانزیستور را مختل نکنند.
- به این منظور، بستر مشترک تمامی ترانزیستورهای nMOS را به کمترین پتانسیل الکتریکی موجود در مدار (زمین) وصل می‌کنند. تفاوت در ولتاژهای سورس و بالک، باعث ایجاد جریان‌های اضافی و ناخواسته (موسوم به اثر بدنه) می‌شود.





- با توجه به ساخت هر ترانزیستور pMOS در یک بستر جداگانه، بالک هر یک را می‌توان به سورس آن وصل کرد. با این کار، جریان‌های ناخواسته یا اثر بدنه این ترانزیستورها حذف می‌شوند.

نواحی کاری ترانزیستور از دید ولتاژ گیت- سورس

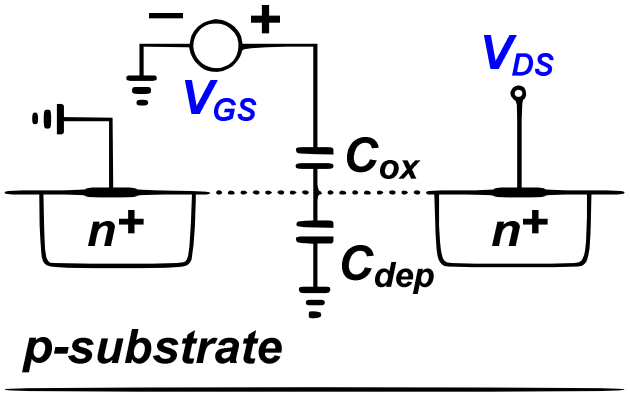


نواحی کاری یک ترانزیستور nMOS به شرح زیر تقسیم‌بندی می‌شوند:

۱- تجمع حفره‌ها در زیر ناحیه گیت (Accumulation):

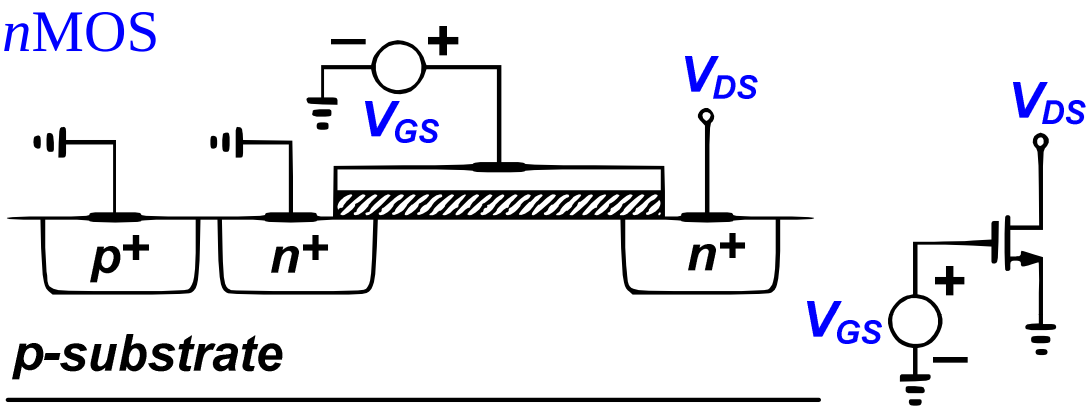
این حالت به ازای ولتاژهای گیت- سورس منفی ($V_{GS} < 0$) رخ می‌دهد. در این وضعیت تعداد بارهای مثبت (حفره) جمع شده در زیر ناحیه گیت، از میزان عادی این بارها در زمینه با ناخالصی p (p-sub) بیشتر است.

۲- تخلیه زیر ناحیه گیت از حفره (Depletion): به ازای یک ولتاژ بزرگتر از صفر ($0 < V_{GS} < V_1$)، حفره‌ها از زیر ناحیه گیت دور شده و بار مثبت موجود در بالای ناحیه G به‌صورت یون منفی در زیر گیت آینه می‌شود.



- در این حالت، گیت شبیه به یک تقسیم کننده ولتاژ سری شامل خازن اکسید گیت C_{ox} و خازن منطقه تخلیه C_{dep} عمل می کند.

نواحی کاری ترانزیستور از دید ولتاژ گیت- سورس



۳- وارونگی ضعیف (Weak Inversion)؛

این حالت به ازای $V_1 < V_{GS} < V_{TH}$ اتفاق می‌افتد؛ با افزایش ولتاژ گیت-سورس و تشکیل میدان در زیر ناحیه گیت، الکترون‌ها از سمت سورس به زیر گیت جذب می‌شوند. این پدیده یک کانال حامل‌بار یا یک لایه وارون را در زیر ناحیه اکسید ایجاد می‌کند. ولتاژ آستانه (V_{TH})، ولتاژ حداقلی است که به ازای آن، چگالی الکترون‌ها در زیر ناحیه گیت برابر با چگالی حفره‌ها در بستر برابر شده و ناحیه زیر گیت هم ردیف p بودن بستر، از نوع n می‌شود.

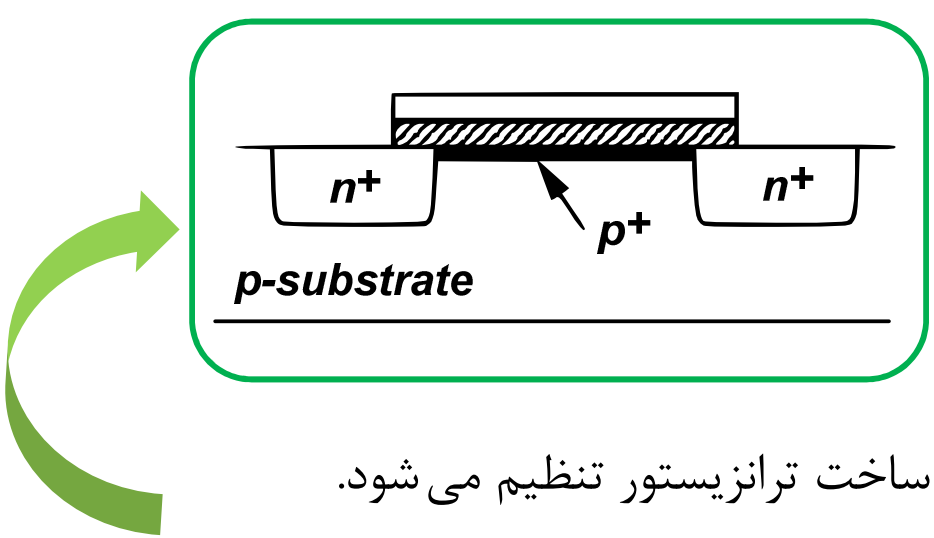
۴- وارونگی قوی (Strong Inversion)؛ این حالت به ازای $V_{GS} > V_{TH}$ اتفاق می‌افتد. با جذب الکترون‌ها توسط D و گسترده شدن الکترون‌ها از سمت S به D، یک کانال الکترونی در زیر ناحیه گیت شکل می‌گیرد که این وضعیت معادل با روشن شدن ترانزیستور است.

تعریف ولتاژ آستانه

$$V_{TH} = \varphi_{MS} + 2\varphi_F + \frac{Q_{dep}}{C_{ox}}$$

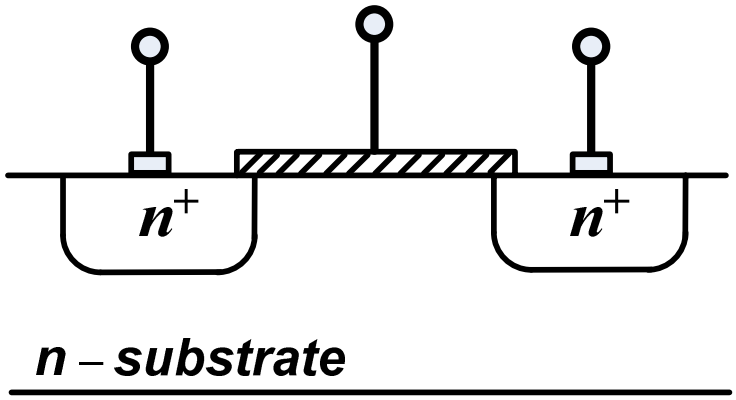
$$\varphi_F = \left(\frac{kT}{q}\right)\ln\left(\frac{N_{sub}}{n_i}\right) \approx 0.7\text{V} \qquad C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$$

- در رابطه بالا: φ_F ولتاژ فرمی با رابطه مشخص شده
  - φ_{MS} تفاوت بین توابع کار پلی‌سیلیکون بالای اکسید گیت با بستر سیلیکونی موجود در زیر آن
  - k ثابت *Boltzmann*
  - q بار الکترون و T دمای مطلق محیط
  - N_{sub} چگالی ناخالصی در بستر
  - n_i چگالی ذاتی الکترون‌های در سیلیکون خالص
  - Q_{dep} بار موجود در منطقه تخلیه
  - C_{ox} خازن اکسید گیت در واحد سطح
  - ε_{ox} ثابت دی الکتریک سیلیکون هستند.



- ولتاژ آستانه با کنترل میزان ناخالصی کانال در حین ساخت ترانزیستور تنظیم می‌شود.
- اضافه کردن ورق نازک از نوع p^+، ولتاژ آستانه ترانزیستور *n*MOS را افزایش می‌دهد (*p*MOS برعکس).

نکته

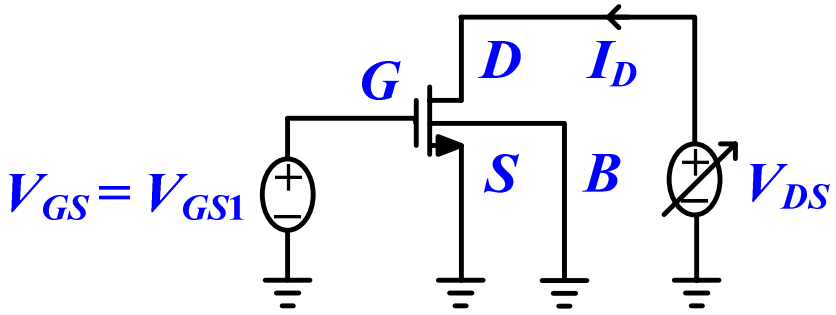


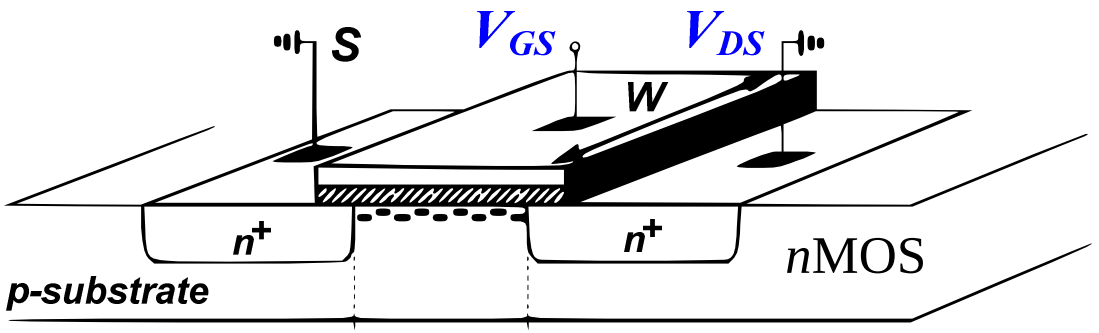
❋) **نکته:** ساخت ترانزیستور nMOS بر روی بستری از نوع n ممکن نیست. در آرایش روبرو تنها دو ناحیه Depletion و Accumulation وجود دارد و به دلیل عدم وجود حفره، ناحیه کاری Inversion موجود نیست.

- سازوکار عملکرد ترانزیستور pMOS مشابه با nMOS (اسلایدهای قبل) است به شرط آنکه جای الکترون را با حفره عوض نموده و پلاریته ولتاژها را برعکس کنیم.
- بر خلاف ولتاژ آستانه مثبت ترانزیستورهای nMOS، ولتاژ آستانه یک ترانزیستور pMOS منفی است.

نواحی کاری ترانزیستور از دید ولتاژ درین- سورس

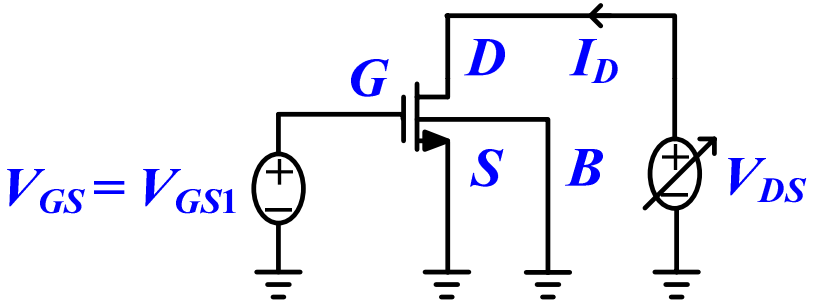
- فرض کنید که ولتاژ گیت- سورس را به مقدار کافی افزایش داده‌ایم و کانالی زیر G شکل گرفته است.
- با افزایش ولتاژ درین- سورس، جریانی از طریق کانال و با حرکت حامل‌ها بین D و S ایجاد می‌شود.
- با توجه به اینکه در ترانزیستور nMOS، کانال ساخته‌شده زیر G از جنس الکترون است، جهت جریان عکس جهت حرکت الکترون‌هایی است که از سمت سورس به سمت درین حرکت می‌کنند. لذا جریان ترانزیستور nMOS، وارد شونده از سمت D است.
- در ابتدای کار و به ازای V_{DS}های کوچک، رابطه جریان I_D با ولتاژ V_{DS}به شکل خطی بوده و ترانزیستور شبیه به یک مقاومت خطی رفتار می‌کند. لذا هر چه V_{DS} بیشتر شود، به همان نسبت I_D هم بزرگ‌تر می‌شود. به این ناحیه کاری، ناحیه تریود عمیق گفته می‌شود.
- اما آیا این وضعیت تا ابد ادامه خواهد داشت؟ خیر.



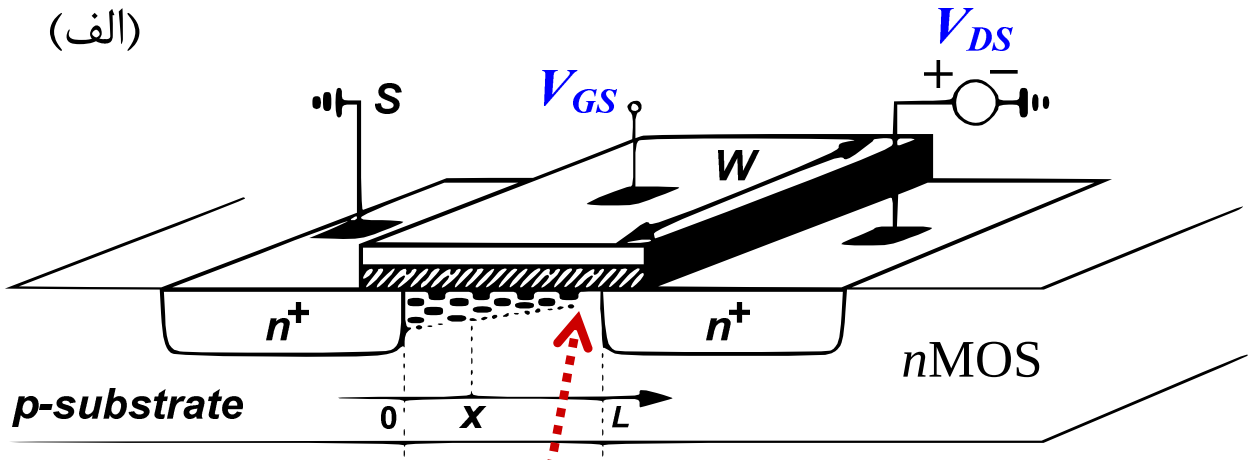


نواحی کاری ترانزیستور از دید ولتاژ درین- سورس

- با توجه به اینکه بالک ترانزیستور nMOS به زمین متصل است، با افزایش ولتاژ درین- سورس، دیود DB بیشتر بایاس معکوس شده و عرض ناحیه تخلیه حول درین، بزرگ و بزرگ‌تر می‌شود. لذا مطابق با شکل، کانال شیب پیدا می کند.
- با افزایش بیشتر ولتاژ درین- سورس، ناحیه تخلیه به تدریج کانال را به‌طور کامل فراگرفته و ترانزیستور با ناحیه تریود وارد ناحیه اشباع می‌شود.
- در ناحیه تخلیه یا تهی موجود در شکل، سرعت حامل‌ها حداکثر سرعت ممکن یا سرعت اشباع خواهد بود چراکه میدان بزرگی در ناحیه‌ای با ابعاد کوچک ایجاد شده است.



(الف)



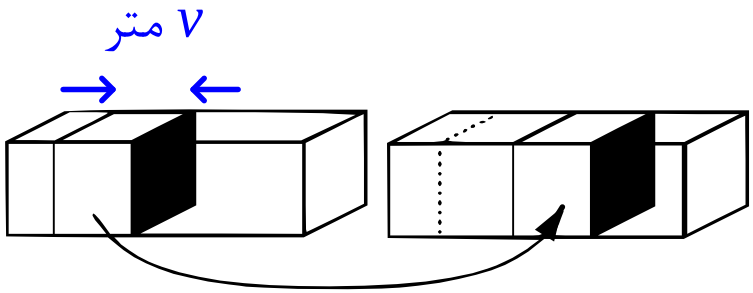
(ب)

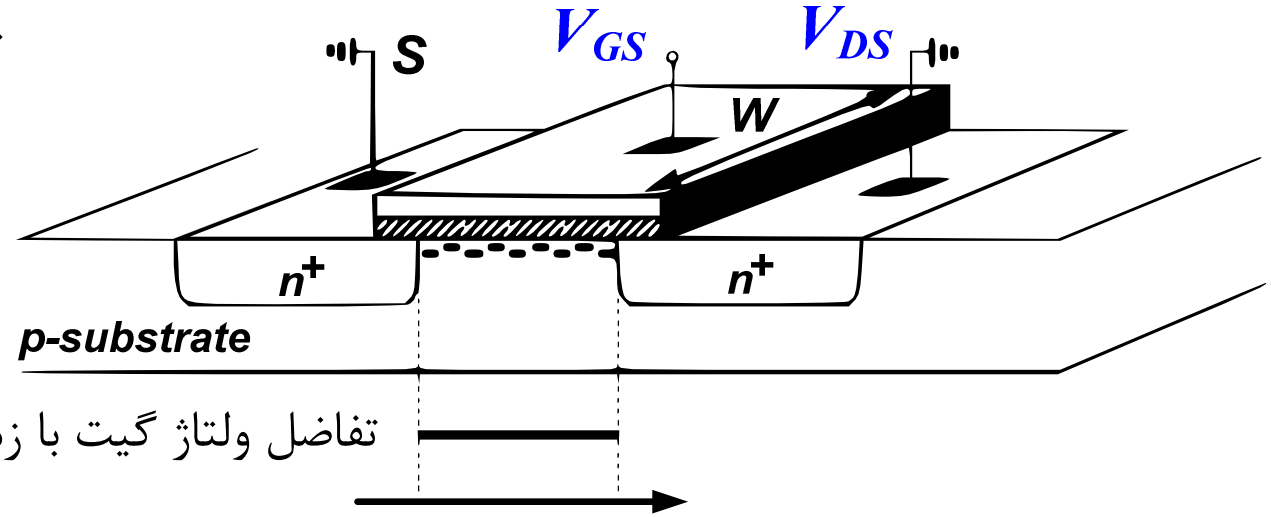
بدست آوردن تابع مشخصه

رابطه جریان:

$$I = Q_d \times v$$

- Q_d چگالی بار در حالت حرکت در مسیر جریان I
- v سرعت حرکت حامل‌های بار

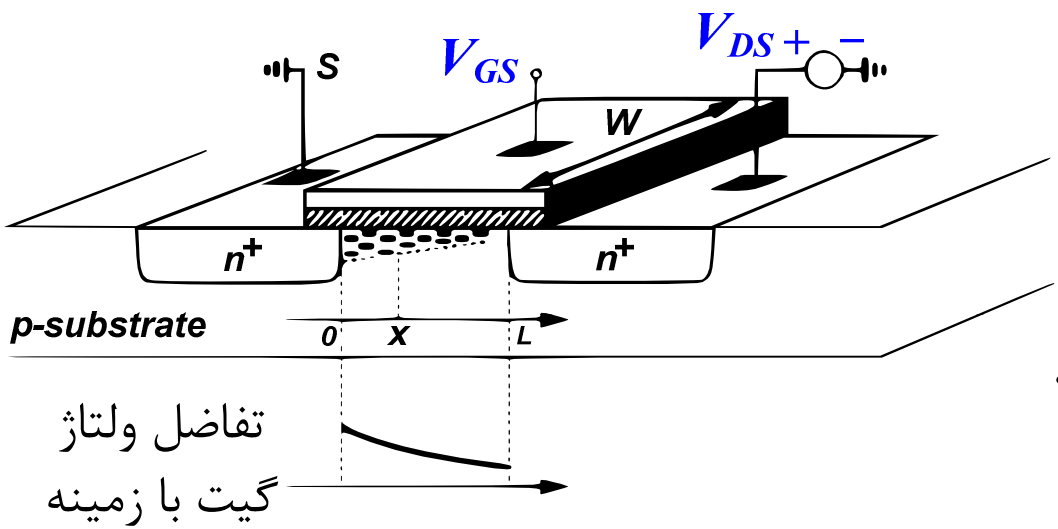




- شروع وارونگی در زیر ناحیه گیت، به ازای $V_{GS} = V_{TH}$ اتفاق می‌افتد.
- میزان بار موجود در کانال وارونگی زیرگیت، با توجه به اندازه خازن اکسید گیت مشخص می‌شود:
- در رابطه روبرو، WC_{ox} ظرفیت خازنی واحد طول است.

$$Q_d = W\ C_{ox}\left(V_{GS} - V_{TH}\right)$$

بدست آوردن توابع مشخصه



- ✓ پتانسیل کانال، از صفر در پایانه سورس تا V_D در پایانه درین متغیر است.
- ✓ ولتاژ $V(x)$، پتانسیل کانال در نقطه x

$$\begin{cases} Q_d(x) = W\ C_{ox}\left[V_{GS} - V(x) - V_{TH}\right] \\ v = \mu E = -\mu \dfrac{dV}{dx} \end{cases}$$

$$I_D = -Q_d\, v = W\ C_{ox}\left[V_{GS} - V(x) - V_{TH}\right]\mu_n \frac{dV(x)}{dx}$$

W/L: نسبت عرض به طول گیت ترانزیستور μ: تحرک‌پذیری حامل ها (الکترون μ_n یا حفره μ_p)

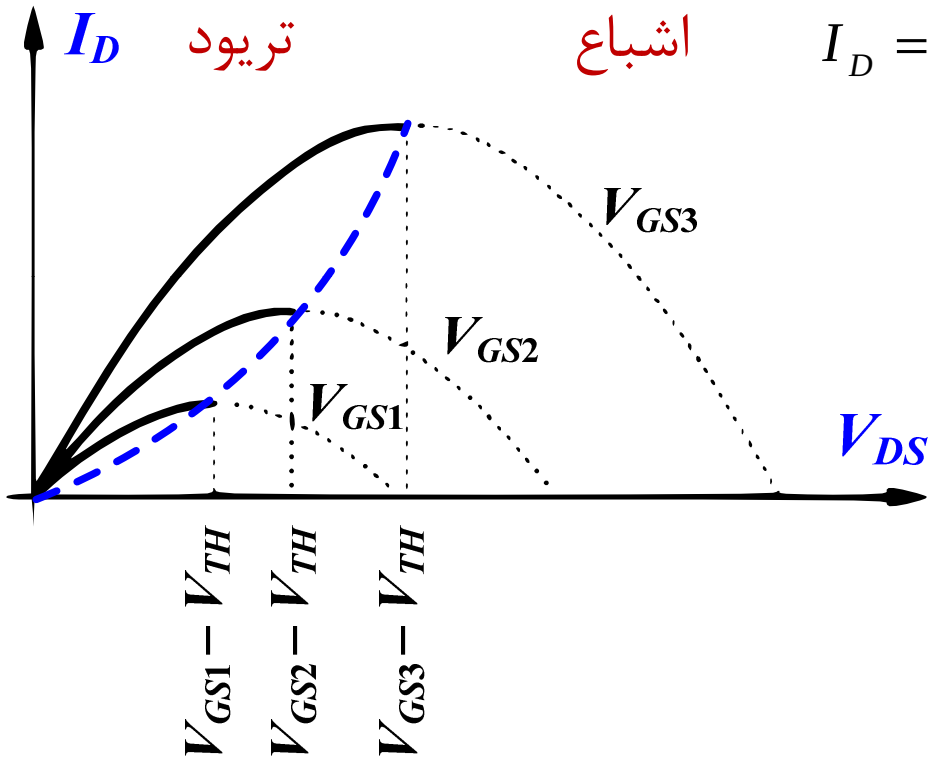
- علامت منفی در رابطه سرعت، به دلیل آن است که حامل‌های ایجاد جریان در nMOS الکترون‌ها هستند.

$$\int_0^L I_D\, dx = \int_0^{V_{DS}} W\ C_{ox}\ \mu_n\left[V_{GS} - V(x) - V_{TH}\right] dV(x)$$

رابطه جریان در ناحیه تریود

$$I_D = \mu_n C_{ox}\left(\frac{W}{L}\right)\left[\left(V_{GS} - V_{TH}\right)V_{DS} - \frac{1}{2}V_{DS}^{\,2}\right]$$

بدست آوردن توابع مشخصه



$$I_D = \mu_n C_{ox} \left(\frac{W}{L}\right)\left[(V_{GS}-V_{TH})\,V_{DS}-\frac{1}{2}V_{DS}^{\,2}\right]$$

- از مشتق‌گیری نسبت به ولتاژ درین- سورس و از برابر قرار دادن نتیجه با صفر:

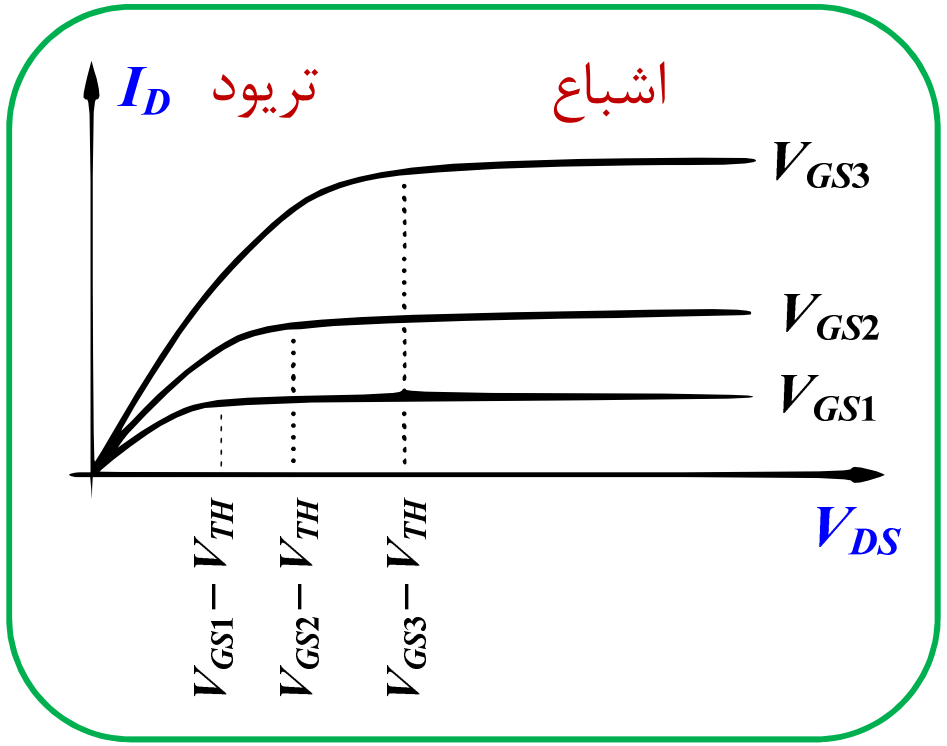
$$\frac{\partial I_D}{\partial V_{DS}}=0 \Rightarrow V_{DS}=V_{GS}-V_{TH}$$

$$I_{D,max}=\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS}-V_{TH})^2$$

- به ولتاژ $V_{GS}-V_{TH}$، « ولتاژ مؤثر » ، « ولتاژ اشباع » یا « overdrive voltage » گفته می‌شود.

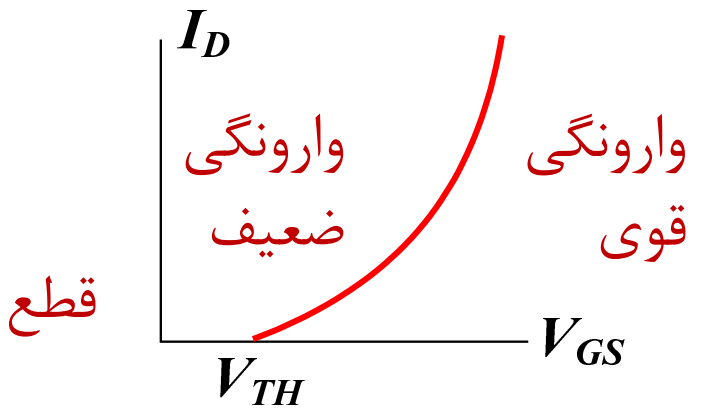
بدست آوردن توابع مشخصه

- اگر $V_{DS} > V_{GS} - V_{TH}$ باشد، I_D نسبتاً ثابت خواهد بود و ترانزیستور در « ناحیه اشباع » کار می‌کند.
- به ازای $V_{DS} \le V_{GS} - V_{TH}$، ترانزیستور در ناحیه تریود است.
- ولتاژ درین- سورس اشباع $V_{DS,sat} = V_{OV} = V_{GS} - V_{TH}$ نشان‌دهنده حداقل ولتاژ V_{DS} لازم برای کار در ناحیه اشباع است.



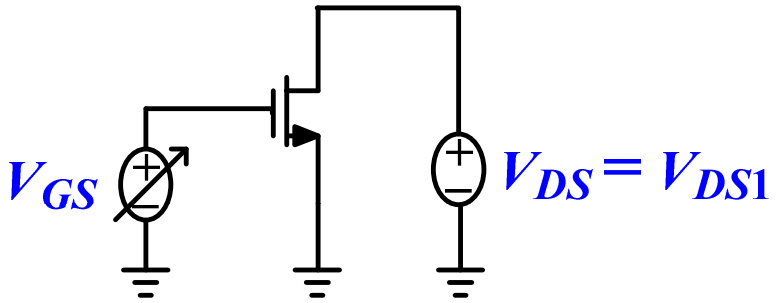
رابطه جریان در ناحیه اشباع

$$I_D = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS} - V_{TH})^2$$

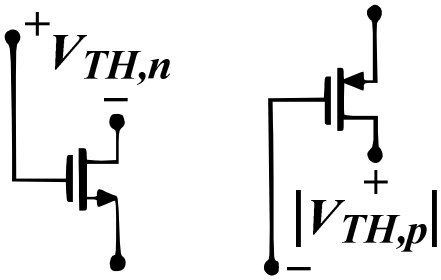


بدست آوردن توابع مشخصه

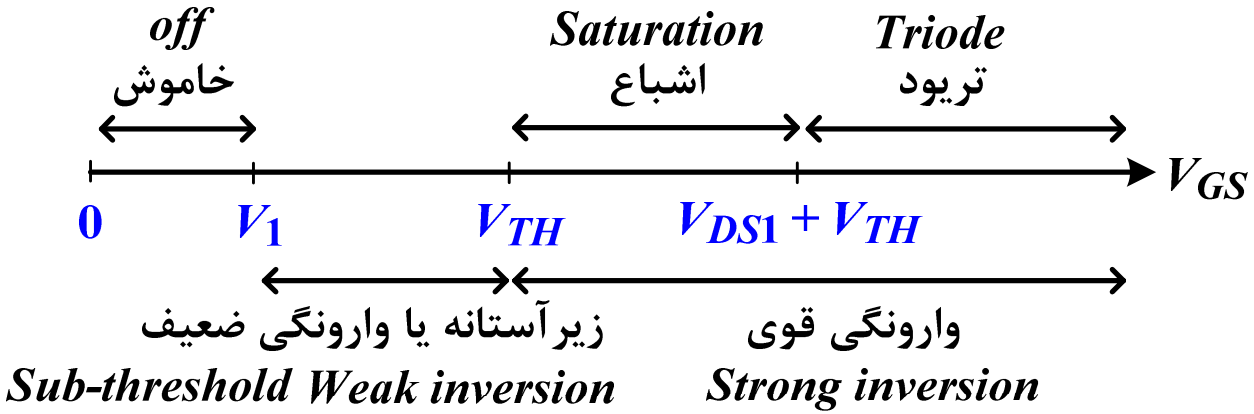
- ولتاژ $V_{DS,sat} = V_{GS} - V_{TH}$ مرز بین ناحیه اشباع و تریود را مشخص می کند.
- به ازای یک V_{DS} مشخص و با افزایش V_{GS}، ترانزیستور ناحیه اشباع را ترک کرده و وارد ناحیه تریود می شود.



مرز بین تریود و اشباع



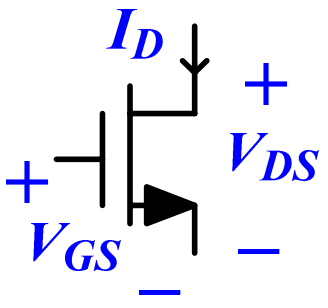
- ترانزیستور تا جایی در ناحیه اشباع است که ولتاژ درین، از اختلاف ولتاژ گیت و آستانه بزرگ‌تر باشد.



تقسیم بندی ناحیه کاری از روی وضعیت V_{GS} نسبت به V_{DS}

تقسیم بندی ناحیه کاری از روی وضعیت V_{GS} نسبت به V_{TH}

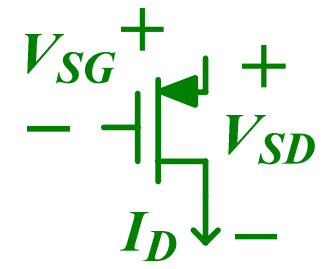
روابط نهایی جریان (در ناحیه وارونگی قوی)



$$\begin{cases} I_D = \mu_n C_{ox}\left(\frac{W}{L}\right)\left[(V_{GS}-V_{TH})V_{DS}-\frac{1}{2}V_{DS}^2\right] & V_{DS}<V_{GS}-V_{TH} \quad \text{تریود} \\ I_D \simeq \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS}-V_{TH})^2 = \frac{1}{2}\beta_n (V_{DS,sat})^2 & V_{DS}>V_{GS}-V_{TH} \quad \text{اشباع} \end{cases}$$

nMOS

$$\beta_n = \mu_n C_{ox}\left(\frac{W}{L}\right) \qquad V_{GS} = V_{TH} + \sqrt{\frac{2I_D}{\beta}} \Rightarrow V_{DS,sat} = V_{GS}-V_{TH} = \sqrt{\frac{2I_D}{\beta}}$$



$$\begin{cases} I_D = \beta_p\left[(V_{SG}-|V_{TH}|)V_{SD}-\frac{1}{2}V_{SD}^2\right] & V_{SD}<V_{SG}-|V_{TH}| \quad \text{تریود} \\ I_D = \frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)(V_{SG}-|V_{TH}|)^2 = \frac{1}{2}\beta_p (V_{SD,sat})^2 & V_{SD}>V_{SG}-|V_{TH}| \quad \text{اشباع} \end{cases}$$

pMOS

$$\beta_p = \mu_p C_{ox}\left(\frac{W}{L}\right) \qquad V_{SD,sat} = V_{SG}-|V_{TH}| = \sqrt{\frac{2I_D}{\beta}}$$

- تحرک‌پذیری حفره از الکترون کمتر است. لذا به ازای یک V_{GS} مشخص، pMOS جریان کمتری دارد.

$$\mu_p \approx 0.3\mu_n \Rightarrow \beta_p \approx 0.3\beta_n$$

بررسی ناحیه تریود عمیق

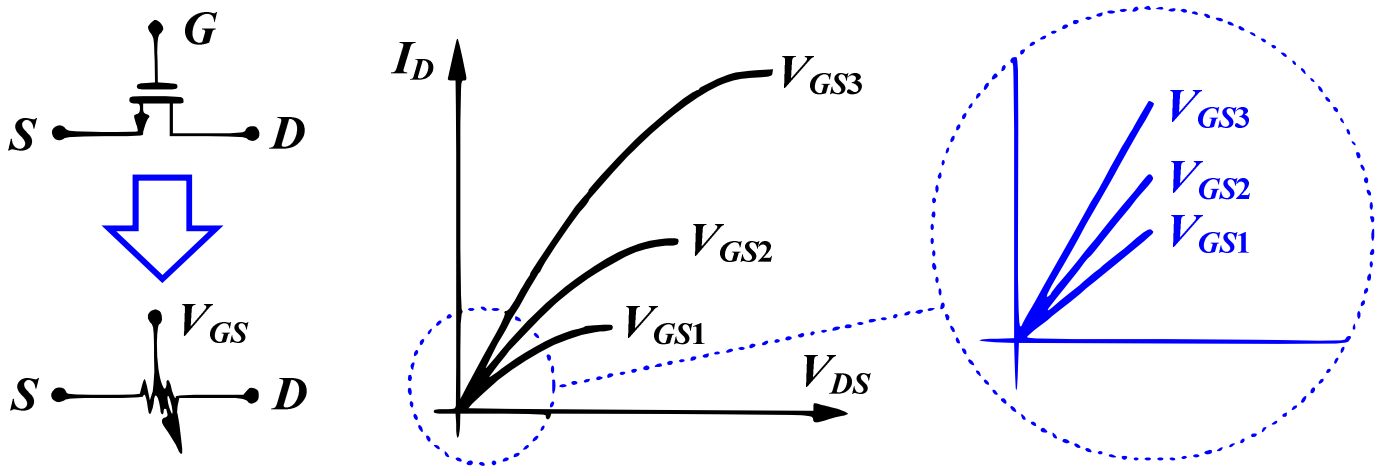
- به ازای $V_{DS} \ll V_{GS} - V_{TH}$ $\Rightarrow$ $I_D \approx \mu_n C_{ox} \left(\frac{W}{L}\right)\left(V_{GS} - V_{TH}\right) V_{DS}$

جریان درین، تابع خطی از V_{DS} است و می‌توان ترانزیستور را معادل با یک مقاومت خطی کنترل شده با ولتاژ گیت- سورس (با اندازه روبرو) فرض کرد (ناحیه تریود عمیق).

$$R_{on} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)\left(V_{GS} - V_{TH}\right)}$$

- ترانزیستور در ناحیه تریود عمیق، به عنوان یک مقاومت کنترل‌شونده با ولتاژ عمل می‌کند. اندازه مقاومت، با ولتاژ درین-سورس اشباع کنترل می‌شود.

- بر خلاف ترانزیستورهای دوقطبی، ترانزیستورهای ماسفت حتی در صورت عدم وجود جریان هم می‌توانند روشن باشند (ناحیه تریود عمیق).



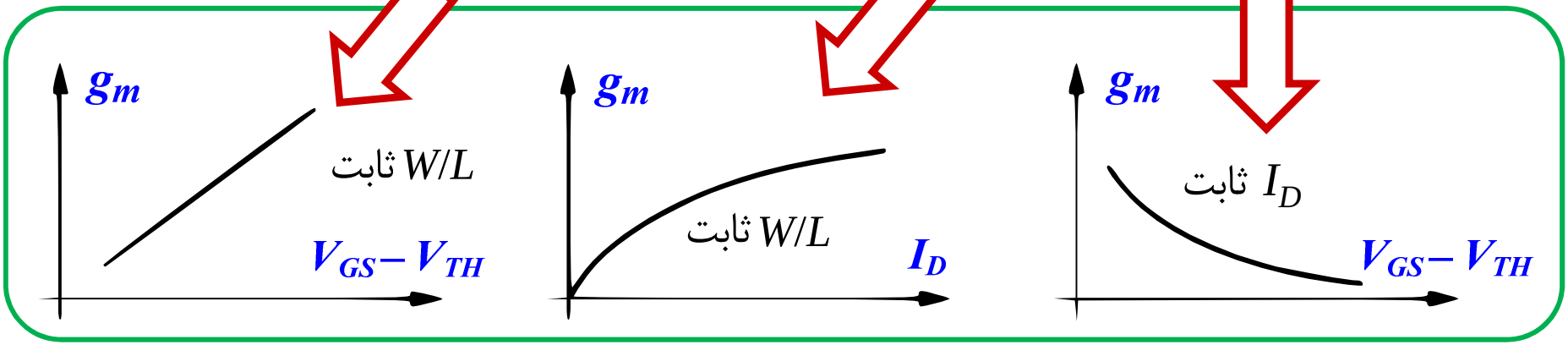
هدایت انتقالی

- هدایت انتقالی، نسبت تغییر سیگنال-کوچک جریان درین به ولتاژ گیت-سورس را در یک V_{DS} ثابت نشان می‌دهد. این متغیر حساسیت جریان درین به ولتاژ ورودی V_{GS} را مشخص می کند.

$$g_m = \frac{\partial I_D}{\partial V_{GS}}\Big|_{V_{DS}=\text{ثابت}} = \mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS}-V_{TH}) = \beta(V_{GS}-V_{TH}) = \sqrt{2\beta I_D} = \frac{2I_D}{V_{GS}-V_{TH}}$$

برای nMOS در ناحیه اشباع

$V_{DS,sat}$

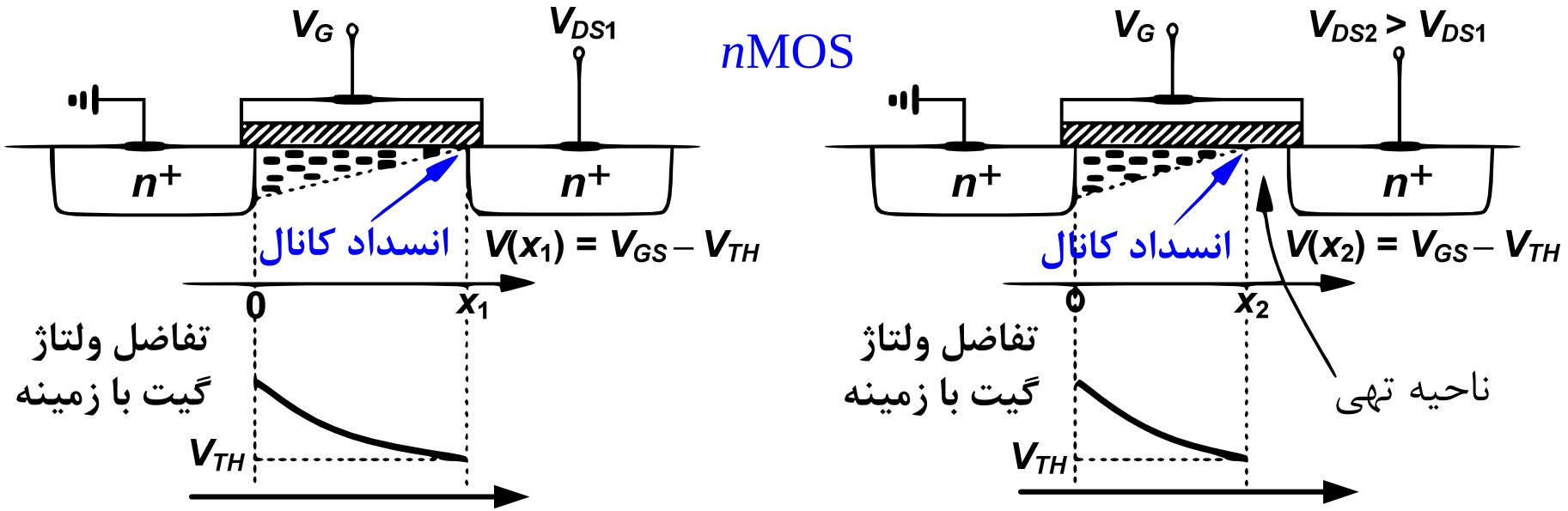


- هدایت انتقالی در ناحیه اشباع، عکس مقاومت روشنایی R_{on} در ناحیه تریود عمیق است (اسلاید قبل).
- برای پیداکردن هدایت انتقالی در ناحیه تریود بایستی از رابطه جریان در این ناحیه استفاده کرد :

$$g_m = \frac{\partial}{\partial V_{GS}}\left\{\mu_n C_{ox}\left(\frac{W}{L}\right)\left[(V_{GS}-V_{TH})V_{DS}-\frac{1}{2}V_{DS}^{\,2}\right]\right\} = \mu_n C_{ox}\left(\frac{W}{L}\right)V_{DS} = \beta V_{DS}$$

برای nMOS

مدولاسیون طول کانال



- قبلاً اشاره شد که به ازای V_{DS} بزرگتر از $V_{GS} - V_{TH}$، ناحیه تهی دیود درین- بالک به $x \le L$ (طول فیزیکی گیت) گسترش یافته و کانال بسته می‌شود.
- همانطور که V_{DS} افزایش می‌یابد، ناحیه تهی گسترده‌تر شده و نقطه‌ای که بار الکتریکی برابر با صفر می‌شود (مرز ناحیه تهی و کانال) بیشتر به سمت سورس کشیده می‌شود.
- در ناحیه تهی، سرعت حامل‌ها (الکترون‌ها یا حفره‌های در حال حرکت به سمت درین) برابر با سرعت اشباع است. لذا در ناحیه اشباع، جریان درین محدود به مقداری مشخص و مستقل از V_{DS} خواهد شد.

ارتباط جریان درین با ولتاژ درین- سورس در ناحیه اشباع

- با گسترده شدن ناحیه تهی به روی کانال در ناحیه اشباع، میزان بار کانال در مکان طول مؤثر L' به صفر خواهد رسید. ازاین‌روی، برای به‌دست آوردن جریان درین در ناحیه اشباع باید انتگرال‌گیری را به ازای $x=[0,L']$ و نه $x=[0,L]$ انجام دهیم:

$$V(x)=(0,\ V_{GS}-V_{TH})$$
$$x=[0,L']$$

برای nMOS در ناحیه اشباع
$$I_D=\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L'}\right)(V_{GS}-V_{TH})^2$$

- واضح است که طول مؤثر کانال، وابسته به ولتاژ درین- سورس است.

$$L'=L-\Delta L \propto V_{DS}$$
$$\frac{\Delta L}{L}=\lambda V_{DS}$$
$$\frac{1}{1-x}\simeq 1+x$$

$$\frac{1}{L'}=\frac{1}{L-\Delta L}=\frac{1}{L}\left(\frac{1}{1-\Delta L/L}\right)\simeq\frac{1}{L}\left(1+\frac{\Delta L}{L}\right)=\frac{1}{L}(1+\lambda V_{DS})$$

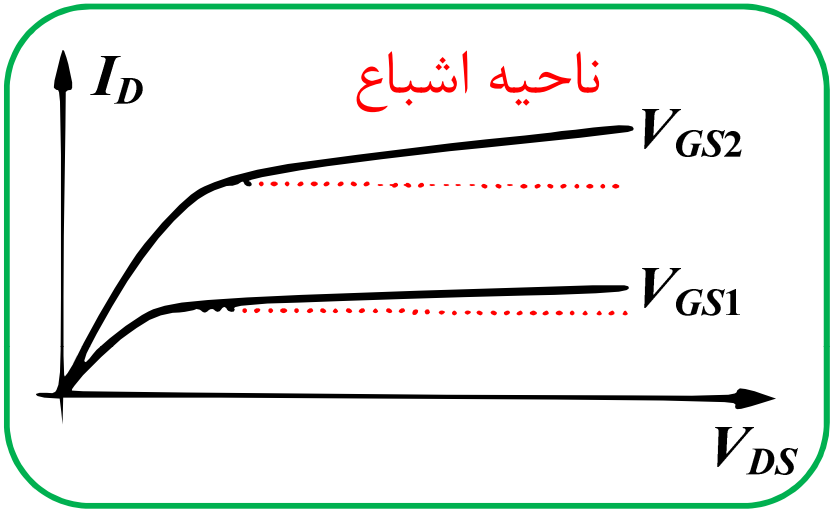
- با جایگذاری در رابطه بالا، جریان ترانزیستور در ناحیه اشباع به شکل زیر اصلاح می شود:

رابطه اصلاح شده جریان ترانزیستور nMOS در ناحیه اشباع

$$I_D\simeq\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS}-V_{TH})^2(1+\lambda_n V_{DS})$$

- به پارامتر λ، ضریب مدولاسیون طول کانال می‌گویند. این متغیر، عددی کوچک است.

اثرات درجه دو



- هنگامی که ترانزیستور در ناحیه اشباع مشغول به کار است، جریان آن از رابطه زیر بدست می آید:

$$I_D \simeq \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)\left(V_{GS}-V_{TH}\right)^2\left(1+\lambda_n V_{DS}\right)$$

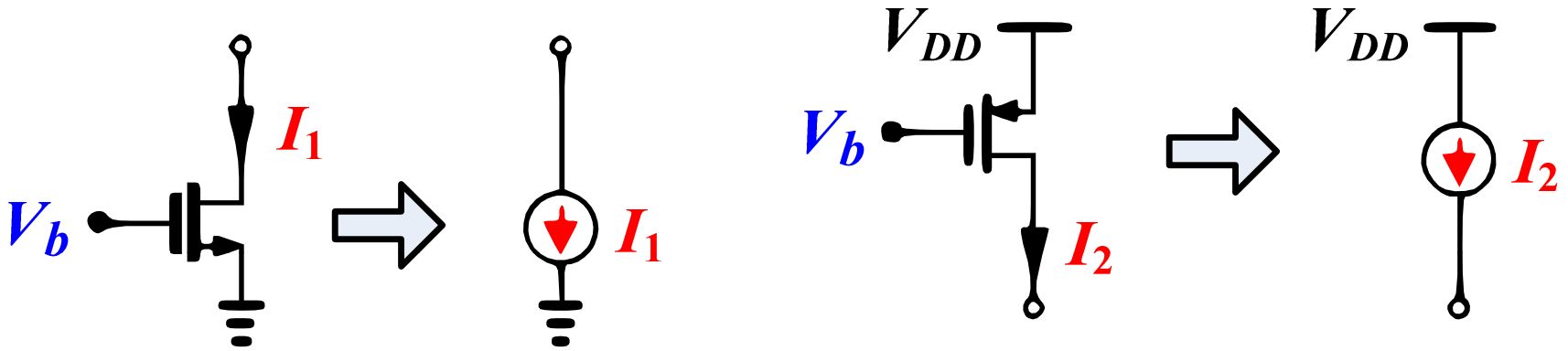
- هر چه λ عددی کوچک‌تر باشد، رفتار ترانزیستور به حالت ایده آل نزدیک‌تر است.
- پارامتر λ برای ترانزیستورهای با L بزرگ‌تر، کوچک‌تر است. می توان نشان داد:

$$\lambda \propto \frac{V_{DS}}{L}$$

- در حالت کلی $\lambda_n < \lambda_p$ است و جریان ترانزیستور nMOS، اثر کمتری از ولتاژ درین- سورس می پذیرد.
- با توجه به رابطه بالا، رابطه دقیق هدایت انتقالی به این صورت اصلاح می‌شود:

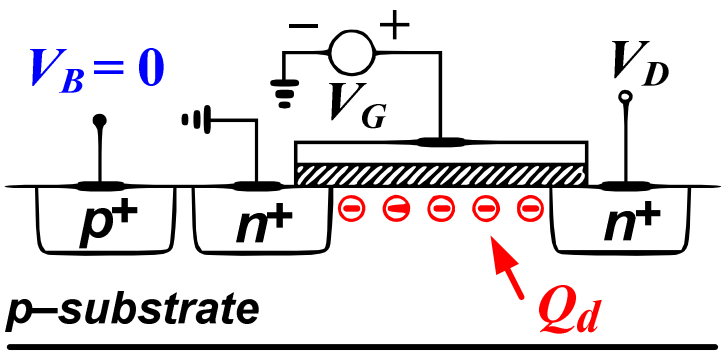
$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu_n C_{ox}\frac{W}{L}\left(V_{GS}-V_{TH}\right)\left(1+\lambda V_{DS}\right) = \sqrt{\frac{2\beta I_D}{1+\lambda V_{DS}}}$$

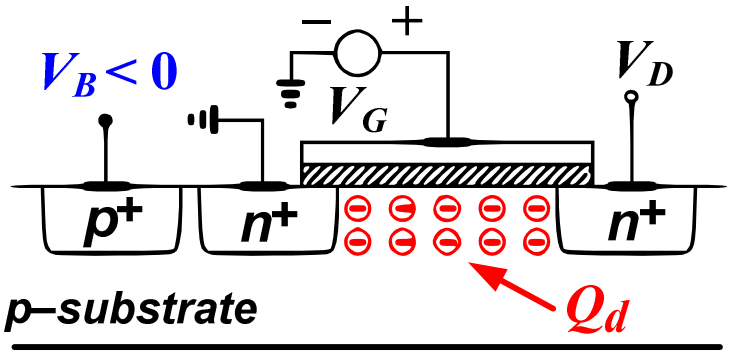
استفاده از ترانزیستور به‌عنوان منبع جریان

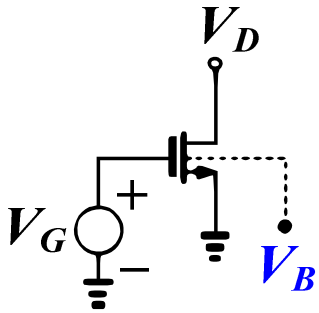


- از ترانزیستور ماسفت بایاس شده در ناحیه اشباع می‌توان به عنوان یک منبع جریان متصل بین پایه‌های سورس و درین استفاده کرد.
- منابع جریان nMOS، جریان را از درین به سمت سورس (زمین) می‌کشند.
- منابع جریان pMOS، جریان را از سورس (منبع تغذیه V_{DD} به عنوان مثال) به سمت درین پمپ می‌کنند.

اثر بدنه







- ولتاژ آستانه ترانزیستوری که بستر آن به زمین وصل است، از رابطه روبرو بدست می آید:

$$V_{TH} = \varphi_{MS} + 2\varphi_F + \frac{Q_{dep}}{C_{ox}}$$

- رابطه بالا اثر ولتاژ بالک (زمینه) بر روی ولتاژ آستانه را مدل سازی نمی کند. با کاهش ولتاژ بالک (V_B)، تعداد حفره های جذب شده توسط بدنه افزایش می یابد. این عامل، بار منفی بیشتری را در زیر گیت بر جای گذارده و عرض ناحیه تهی را گسترده تر می کند که باعث افزایش ولتاژ آستانه می شود.
- از این اثر، با عنوان اثر بدنه یاد می شود. با وجود اثر بدنه، ولتاژ آستانه به شکل زیر به ولتاژ سورس- بالک وابسته می شود:

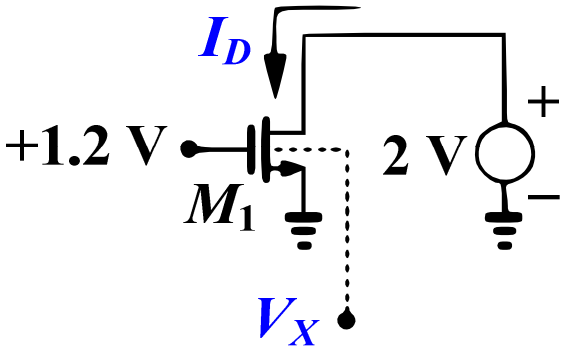
$$V_{TH} = V_{TH0} + \gamma\left(\sqrt{|2\varphi_F + V_{SB}|} - \sqrt{2|\varphi_F|}\right)$$

γ : ضریب اثر بدنه

- اطلاعات بیشتر در مورد رابطه ولتاژ آستانه در مقاله زیر:

H. Aminzadeh, “Subthreshold reference circuit with curvature compensation based on the channel length modulation of MOS devices,” ***Journal of Circuit Theory and Applications***, Dec. 2021. DOI: https://doi.org/10.1002/cta.3201 .

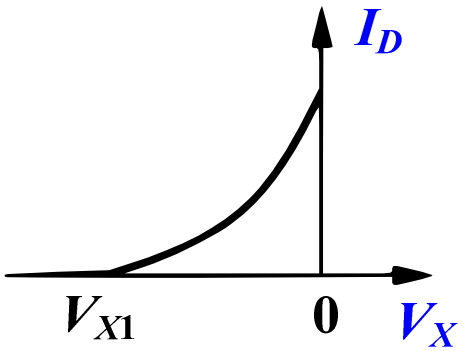
- **مثال:** متغیرهای زیر برای یک ترانزیستور داده شده‌اند. می‌خواهیم که جریان درین آن را با تغییر ولتاژ بالک از منفی بی‌نهایت تا صفر به‌دست آوریم:



$$V_{TH0} = 0.6\text{V}, \quad \gamma = 0.4\sqrt{\text{V}}, \quad 2\varphi_F = 0.7\text{V}, \quad \gamma = 0.4/\text{V}$$

- به ازای V_X به حد کافی منفی، V_{TH} از 1.2 V بیشتر خواهد شد و ترانزیستور در ناحیه خاموش قرار می‌گیرد. این وضع تا جایی ادامه می‌یابد که ولتاژ آستانه برابر با ولتاژ گیت- سورس گردد :

$$1.2\text{V} = 0.6\text{V} + 0.4\left(\sqrt{0.7 - V_{X1}} - \sqrt{0.7}\right) \Rightarrow V_{X1} = -4.76\text{V}$$



- به ازای $V_{X1} < V_X < 0$ خواهیم داشت:

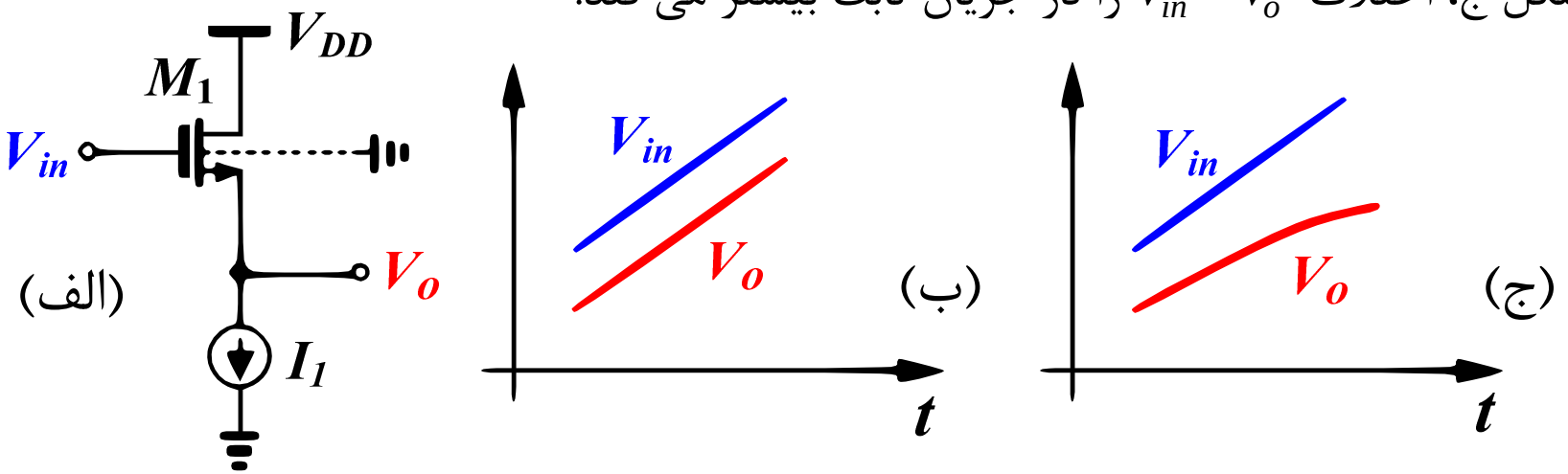
$$I_D = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)\left[V_{GS} - V_{TH0} - \gamma\left(\sqrt{2\varphi_F - V_X} - \sqrt{2\varphi_F}\right)\right]^2$$

اثر بدنه

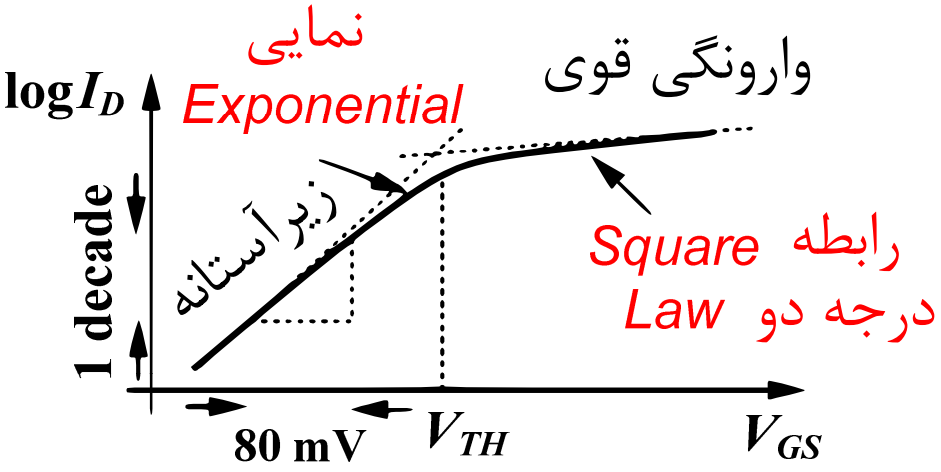
- اثر بدنه یک ترانزیستور معمولاً با تغییرات ولتاژ سورس نسبت به بدنه (بالک) آشکار می شود.
- با صرفنظر از اثر بدنه و با فرض جریان ثابت I_1 در ساختار الف، ولتاژ خروجی V_O تغییرات ولتاژ ورودی V_{in} را مطابق با شکل ب دنبال می کند چرا که:

$$I_1 = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)\left(V_{in} - V_O - V_{TH}\right)^2 \qquad V_O = V_{in} - V_{GS} = V_{in} - V_{TH} - \sqrt{\frac{2I_1}{\mu_n C_{ox}\left(\frac{W}{L}\right)}}$$

- بدون صرفنظر از اثر بدنه ، ولتاژ V_{SB} نیز با افزایش ولتاژ V_o بیشتر شده و منجر به افزایش V_{TH} می‌شود. لذا مطابق شکل ج، اختلاف $V_{in} - V_o$ را در جریان ثابت بیشتر می کند.



هدایت زیرآستانه (وارونگی ضعیف)



- به ازای ولتاژهای کوچکتر از ولتاژ آستانه $V_{GS} < V_{TH}$، ترانزیستور ماسفت به صورت آنی خاموش نمی‌شود.
- هدایت ترانزیستور در این ناحیه را با عنوان هدایت وارونگی ضعیف یا زیرآستانه می‌شناسند. جریان این ناحیه، در اثر نفوذ حامل‌ها ایجاد می‌شود و با V_{GS} رابطه نمایی دارد (شبیه به رابطه جریان- ولتاژ ترانزیستورهای دوقطبی):

$$I_D = I_0 \exp\left(\frac{V_{GS}}{\varepsilon V_T}\right)$$

I_0 وابسته به W/L ، $\varepsilon > 1$ ضریب غیر ایده‌آلی و $V_T = kT/q$ ولتاژ گرمایی در دمای اتاق 26 mV

- برای کار در ناحیه زیر- آستانه، باید ولتاژ گیت- سورس را تا حد امکان کوچک کرد. باتوجه به رابطه $V_{GS} = V_{TH} + \sqrt{2I/\beta}$. این وضعیت به ازای جریان‌های کوچک و یا نسبت W/L بزرگ اتفاق می‌افتد.
- در ناحیه زیرآستانه، رابطه هدایت انتقالی مشابه با ترانزیستور دوقطبی است:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{I_D}{\varepsilon V_T}$$

- برخلاف رابطه مجذوری هدایت انتقالی ($g_m = \sqrt{2\beta I_D}$) در ناحیه وارونگی قوی، هدایت انتقالی در ناحیه وارونگی ضعیف، وابستگی مستقیم با جریان دارد.

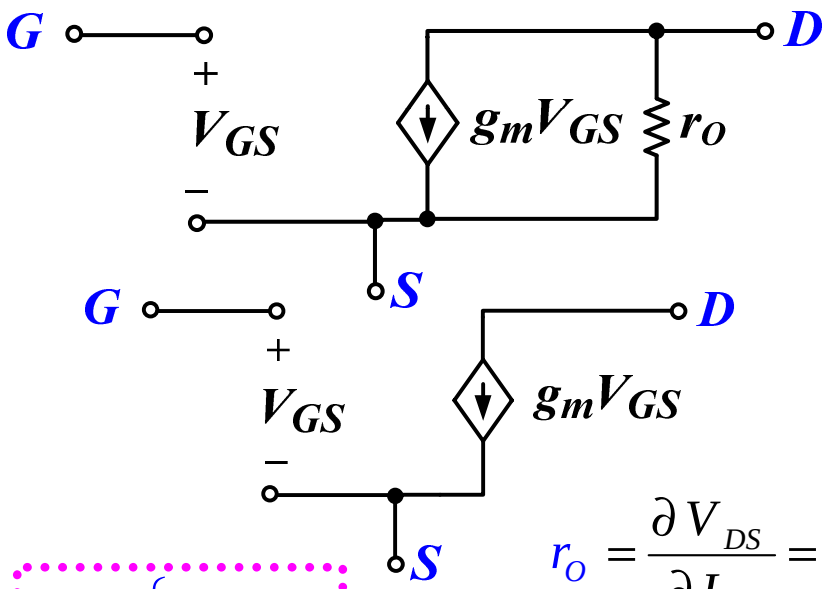
سایر اثرات درجه دو

- به‌ازای ولتاژ بیش از حد بالای پایانه‌ها، ترانزیستورهای ماسفت اثرات نامطلوبی را تجربه می کنند.
- اگر V_{GS} بیش از حد بالا باشد (در فن‌آوری 0.18 µm ولتاژ مستقیمی در حدود 1.8 V)، اکسید گیت می‌شکند و ترانزیستور آسیب می بیند.
- اگر V_{DS} بیش از حد بزرگ باشد عرض ناحیه تخلیه (تهی) در اطراف درین آن قدر گسترش می یابد تا به پایانه سورس برسد. این پدیده باعث ایجاد جریان بسیار زیادی موسوم به جریان تخلیه می‌شود (اثر Punchthrough).
- وابستگی اندازه حرکت الکترون‌ها و حفره‌ها به میدان عمودی، باعث تغییر جریان درین در فن‌آوری های نانو می‌شود. در یک ترانزیستور عادی، جریان تنها در اثر میدان افقی ناشی از ولتاژ V_{DS} به وجود می‌آید. اما تحرک‌پذیری حامل‌ها در یک ترانزیستور از ابعاد نانو، به صورت زیر به ولتاژ گیت- سورس مرتبط می شود:

$$\mu \propto \frac{\mu_0}{V_{GS} - V_{TH}}$$

مدل سیگنال-کوچک ترانزیستور ماسفت

- اگر دامنه تغییرات کوچک باشد، می‌توانیم برای تحلیل از مدل سیگنال-کوچک ترانزیستور استفاده کنیم.
- برای به‌دست آوردن مدل، باید قبل از هر چیز، ولتاژهای تغذیه و ناحیه کاری ترانزیستور را مشخص کنیم.
- ساده‌ترین مدل سیگنال-کوچک ترانزیستور ماسفت:



$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \beta(V_{GS} - V_{TH}) = \sqrt{2\beta I_D} = \frac{2I_D}{V_{OV}}$$

- با توجه به مدولاسیون طول کانال، جریان درین تابعی از V_{DS} است. لذا بین پایانه‌های درین و سورس، یک مقاومت خطی با رابطه زیر داریم:

$$r_O = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\partial I_D / \partial V_{DS}} = \frac{1}{0.5\mu_n C_{ox}(W/L)(V_{GS} - V_{TH})^2 \lambda} \simeq \frac{1}{\lambda I_D}$$

$$r_O \propto \begin{cases} 1/I_D \\ L \\ \sqrt{V_{DS}} \end{cases}$$

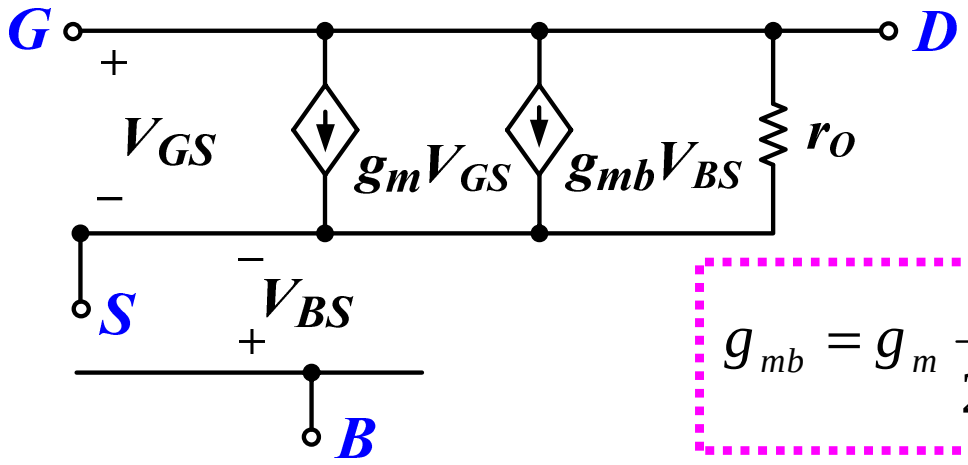
- جریان بایاس کمتر و ولتاژ درین- سورس و طول گیت بیشتر، باعث افزایش مقاومت خروجی می‌شوند.
- مقاومت r_O، حداکثر بهره ولتاژ قابل دستیابی از یک تقویت‌کننده ترانزیستوری را محدود می‌کند.

مدل سیگنال-کوچک ترانزیستور ماسفت

- اثر بدنه باعث تغییر در ولتاژ آستانه و در نهایت تغییر در ولتاژ اشباع درین – سورس $V_{DS(sat)}$ می شود.
- با فرض آنکه ولتاژ تمامی پایانه‌ها ثابت باشد، پایانه بالک به عنوان گیت دوم کرده و منبع جریان وابسته $g_{mb}V_{BS}$ را بین درین و سورس ایجاد می کند.

$$g_{mb}=\frac{\partial I_D}{\partial V_{BS}}=\underbrace{\mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS}-V_{TH})}_{g_m}\left(\frac{-\partial V_{TH}}{\partial V_{BS}}\right)$$

برای nMOS در ناحیه اشباع



$$\frac{\partial V_{TH}}{\partial V_{BS}}=-\frac{\partial V_{TH}}{\partial V_{SB}}=-\frac{\overbrace{\gamma}^{\eta}}{2\sqrt{|2\varphi_F+V_{SB}|}}$$

$$g_{mb}=g_m\frac{\gamma}{2\sqrt{|2\varphi_F+V_{SB}|}}=\eta g_m \qquad \eta=\frac{g_{mb}}{g_m}$$

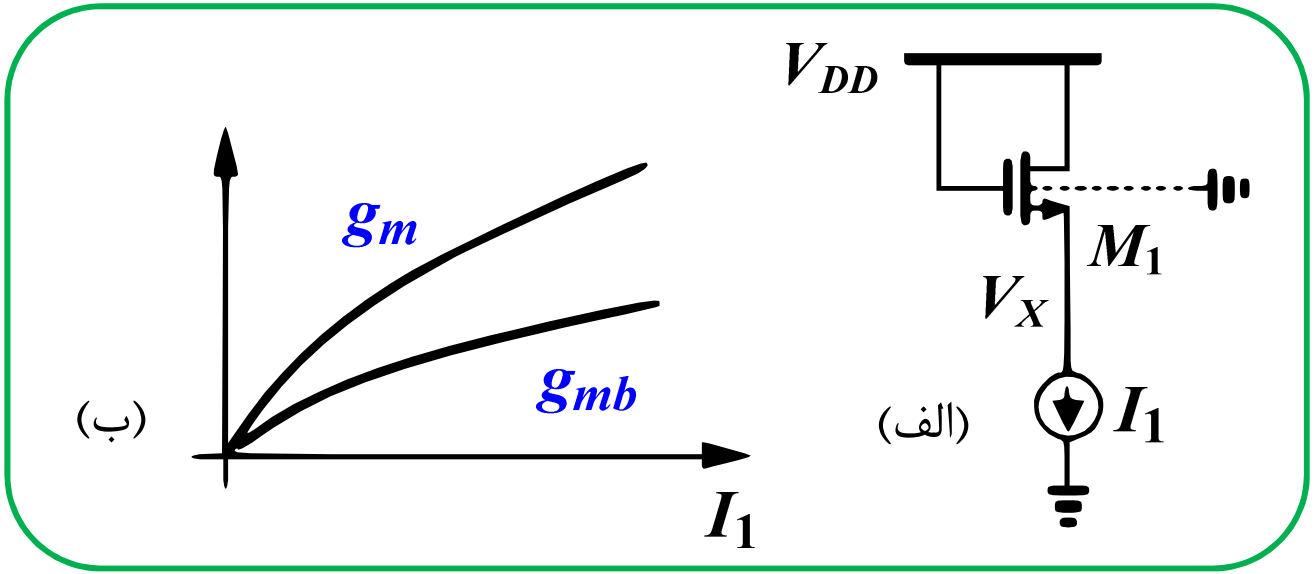
- متغیر η درحدود 0.2 و φ_F درحدود 0.7 V هستند.

مدل سیگنال-کوچک ترانزیستور ماسفت

- برای مدار شکل الف می توان متغیرهای g_m و g_{mb} را بر حسب جریان بایاس I_1 رسم کرد (شکل ب).
- رابطه میان g_m با جریان :

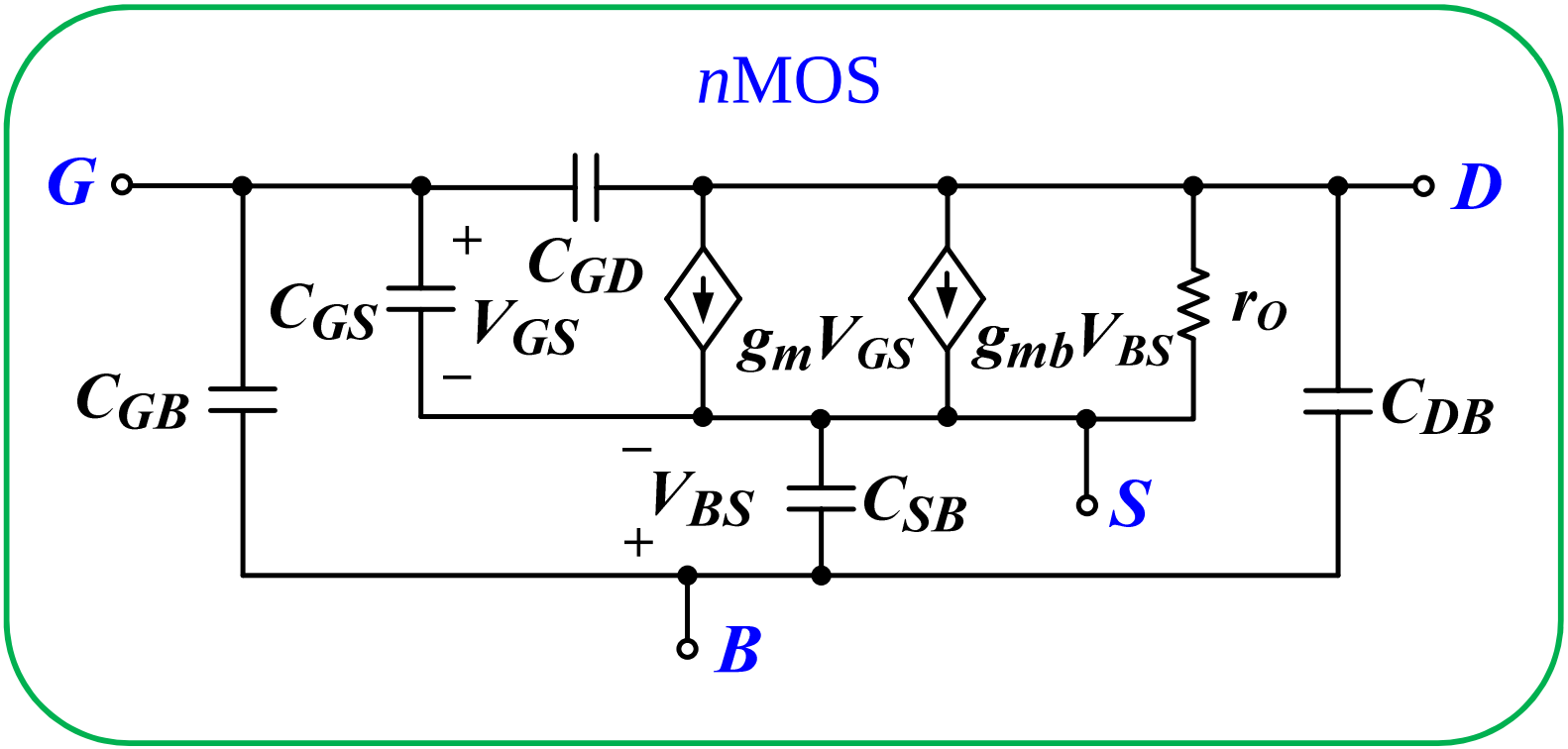
$$g_m = \sqrt{2\mu_n C_{ox}\left(\frac{W}{L}\right) I_1}$$

- وابستگی g_{mb} به I_1 قدری پیچیده تر است. با افزایش جریان، V_X و V_{SB} کم می شوند.
- لذا با توجه به روابط اسلاید قبل، نحوه تغییرات g_{mb} به صورت نشان داده شده در شکل ب خواهد بود.



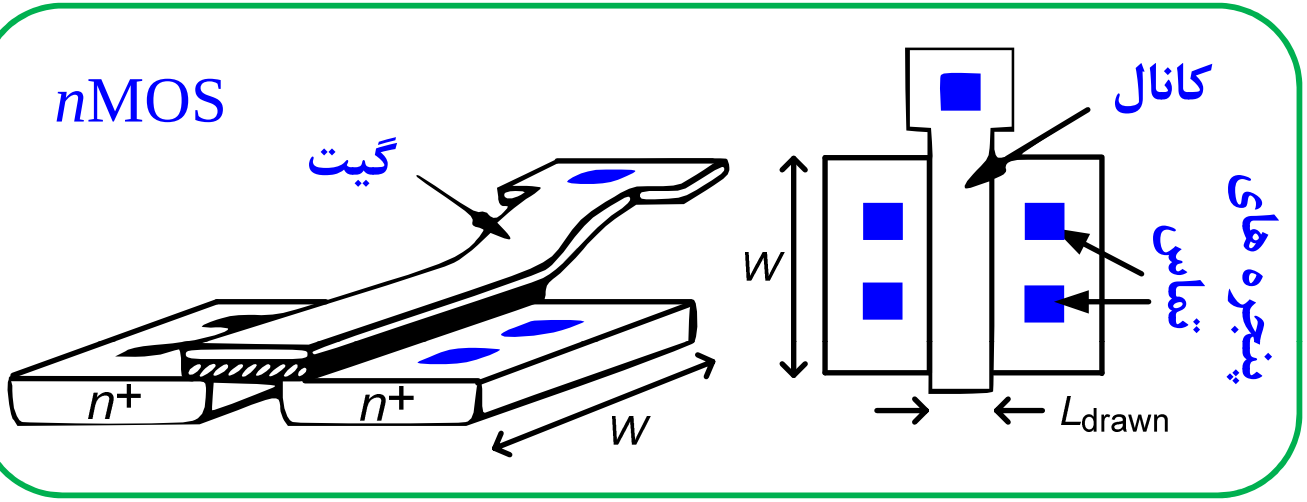
مدل سیگنال-کوچک ترانزیستور ماسفت

- مدل سیگنال-کوچک کامل ترانزیستور، نه تنها شامل مدولاسیون طول کانال و اثر بدنه است، بلکه ظرفیت های خازنی بین پایانه های مختلف را هم شامل می شود (شکل).

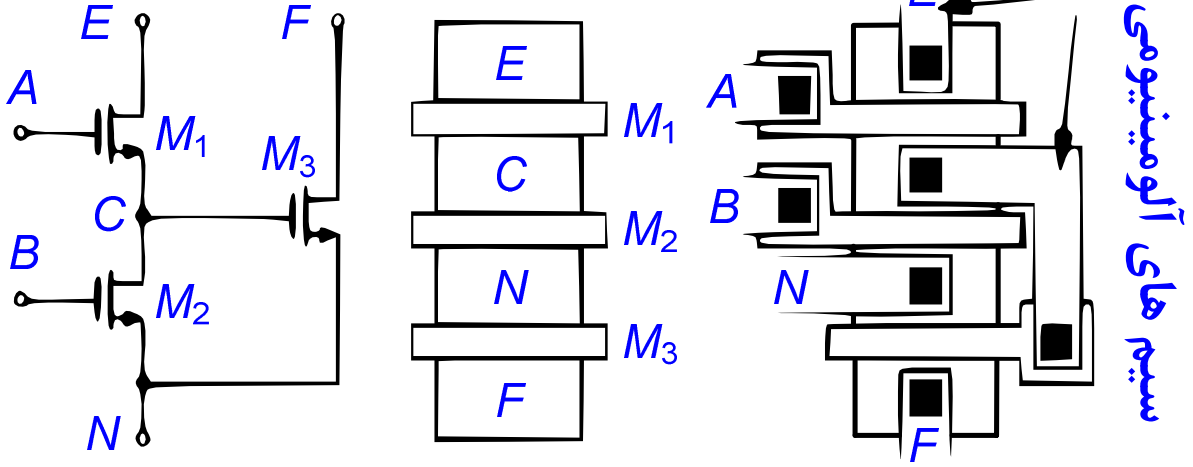


- مدلی مشابه نیز برای ترانزیستورهای pMOS وجود دارد.

نقشه خروجی ترانزیستور ماسفت



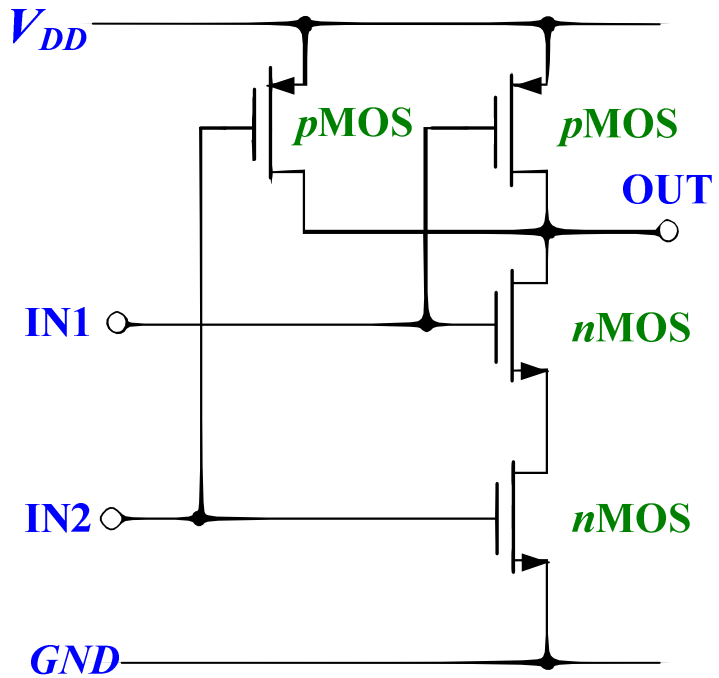
- پایانه‌های گیت پلی‌سیلیکون و درین و سورس، به سیم‌های آلومینیومی با مقاومت و خازن کوچک متصل می‌شوند. این کار از طریق «پنجره‌های تماس» پر شده از فلز انجام می‌شود.
- برای به حداقل رسانیدن سطح مقطع درین و سورس، سطح کلی اتصالات باید حداقل باشد.

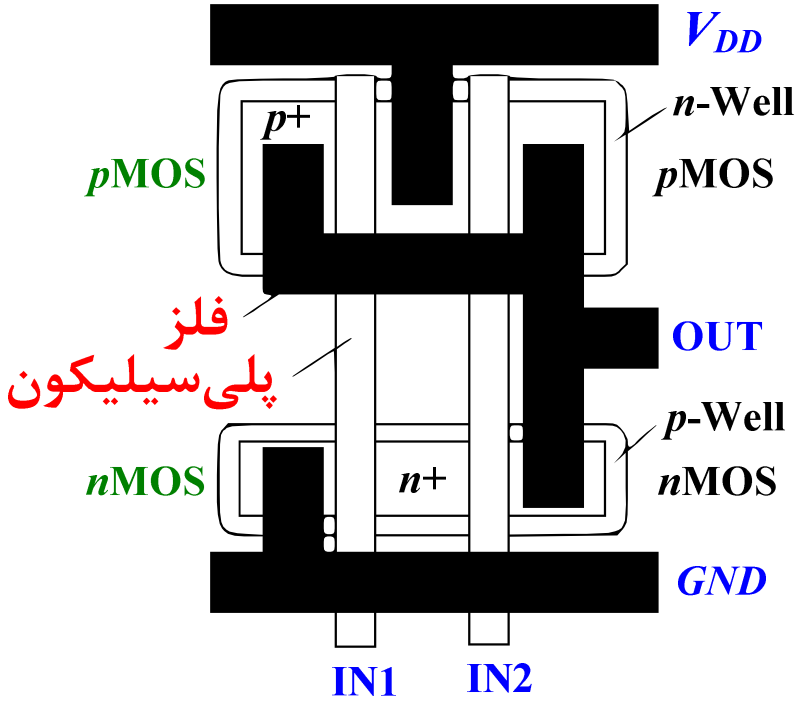


ترانزیستورهای M_1 و M_2 در گره C و ترانزیستورهای M_2 و M_3 در گره N مشترک هستند.
از آنجا که گیت M_3 نمی تواند مستقیم به سورس M_1 وصل شود، وجود اتصال فلزی ضروری است.

رسم نقشه خروجی (*)

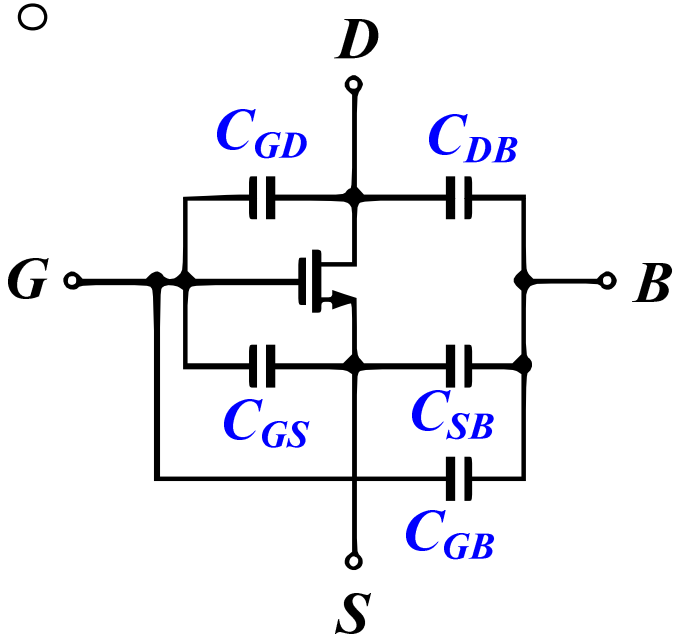
- شکل نحوه کشیدن نقشه خروجی یک دروازه منطقی را نشان می دهد.
- در عمل زیاد اتفاق می‌افتد که با نسبت‌های W/L بزرگ و از مرتبه ۳۰۰-۲۰۰ سروکار داشته باشیم.
- کارخانه اجازه تعریف چنین ترانزیستورهایی را نمی‌دهد و ثانیاً با فرض ساخت، مقاومت گیت ترانزیستور حاصل خیلی بسیار بزرگ خواهد بود.
- راه‌حل رایج در رسم، شکست ترانزیستور به چندین ترانزیستور کوچک موازی است.

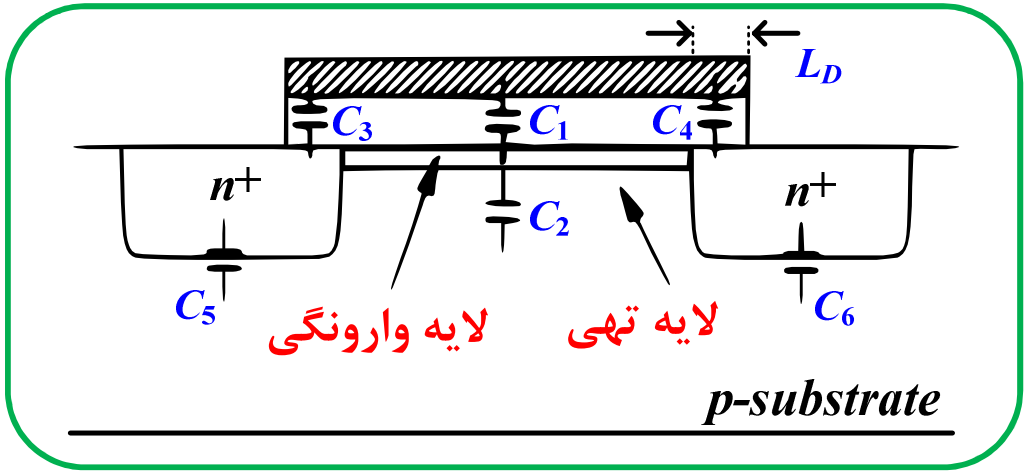




خازن‌های ترانزیستور ماسفت

- برای پیش‌بینی رفتار ترانزیستور با فرکانس، باید خازن‌های داخلی آن به دقت بررسی شوند.
- بین هر چهار پایانه ترانزیستور، ظرفیت‌های خازنی وجود دارد که مقادیر آنها، به شرایط بایاس ترانزیستور بستگی دارد.

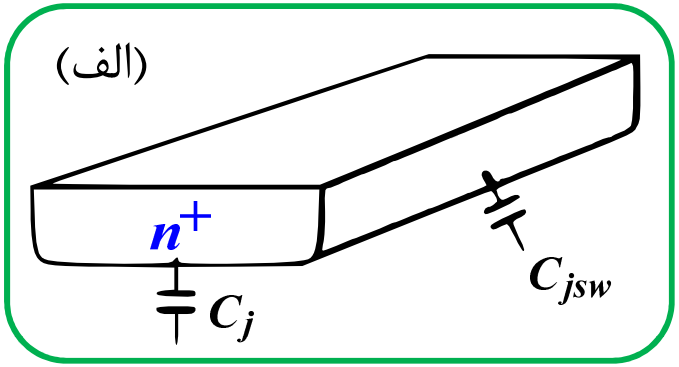




- خازن‌های مهم
  - خازن ثابت اکسید گیت-کانال C_1
  - خازن ثابت کانال-بستر C_2
  - خازن همپوشانی گیت با سورس و درین C_3 و C_4
  - خازن تخلیه بین نواحی درین و سورس تا بستر C_5 و C_6

$$\begin{cases} C_1 = WLC_{ox} \\ C_2 = WL\sqrt{q\varepsilon_{si}\left(N_{sub}/4\varphi_F\right)} \end{cases}$$

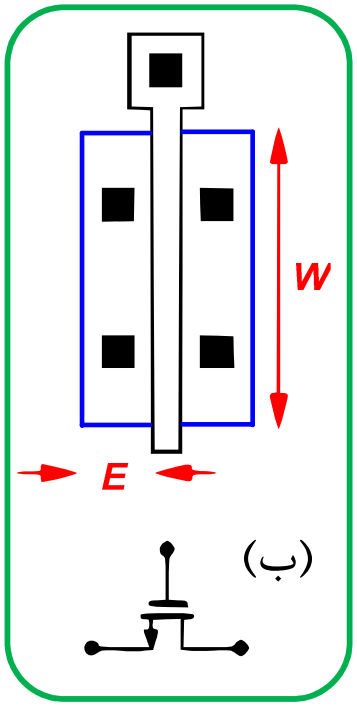
خازن‌های ترانزیستور ماسفت



$$C_3[\text{pF}] = C_4[\text{pF}] = W\ C_{ov}\left[\text{pF}/\mu\text{m}\right] = W\ L_{ov}\ C_{ox}\left[\text{pF}/\mu\text{m}^2\right]$$

- خازن‌های C_5 و C_6 به دو مؤلفه شکسته می‌شوند : خازن صفحه پایینی و خازن دیواره‌های اطراف (شکل الف).

- خازن‌های پیوندی دیده‌شده از دیواره‌ها و از کف، به ترتیب C_j و C_{jSW} هستند.
- هر دو خازن از نوع انتقالی بوده و از روابط زیر محاسبه می‌شوند:



$$C_j = \frac{C_{j\,0}}{\sqrt{1+\frac{V_R}{V_0}}},\ C_{j\,SW} = \frac{C_{j\,SW\,0}}{\sqrt{1+\frac{V_R}{V_0}}} \qquad V_R = V_{DB} = V_{SB}$$

ولتاژ بایاس معکوس پیوند pn

- برای مثال، به منظور محاسبه خازن درین- بالک و سورس- بالک ترانزیستوری با نمای شکل ب، از روابط زیر استفاده می‌کنیم:

$$C_{DB} = C_{SB} = W\ E\ C_j + 2(W + E)\ C_{j\,SW} = A_D\ C_j\left[\text{pF}/\mu\text{m}^2\right] + P_D\ C_{j\,SW}\left[\text{pF}/\mu\text{m}\right]$$

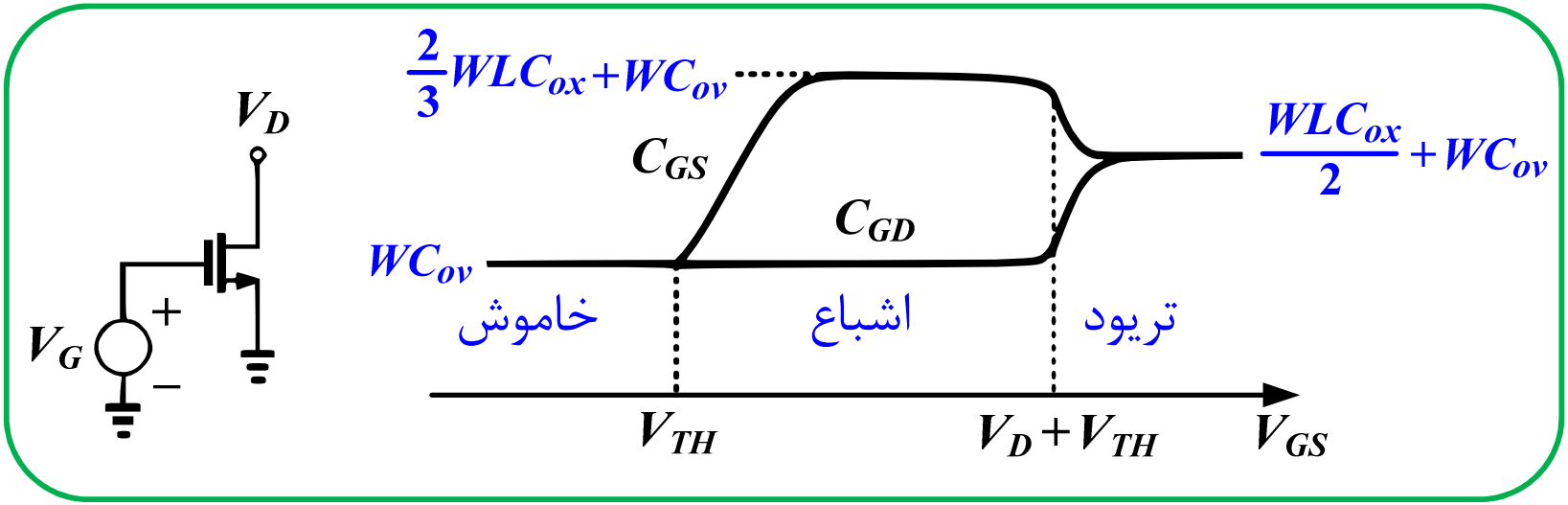
خازن‌های پیوندی ترانزیستور ماسفت

در ناحیه تریود عمیق، ولتاژهای درین و سورس تقریباً برابر هستند.
ظرفیت خازنی گیت-کانال (WLC_{ox}) به تساوی بین پایانه‌های سورس و درین تقسیم می‌شود:

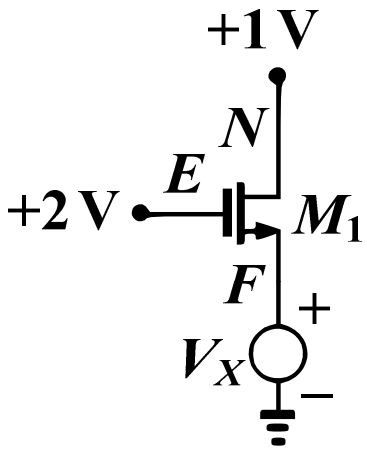
$$C_{GD} = W\ C_{ov} + \frac{1}{2} W\ L\ C_{ox}$$
$$C_{GS} = W\ C_{ov} + \frac{1}{2} W\ L\ C_{ox}$$

- معمولاً از خازن C_{GB} در نواحی تریود و اشباع صرفنظر می‌شود چرا که لایه وارونگی به عنوان «عایق» بین گیت و بالک (بستر) عمل می‌کند.
- اگر ترانزیستور در ناحیه اشباع باشد، C_{GD} تقریباً برابر با $W\ C_{ov}$ خواهد بود. در این حالت:

$$C_{GS} = W\ C_{ov} + \frac{2}{3}\left(W\ L\ C_{ox}\right)$$
$$C_{GD} = W\ C_{ov}$$



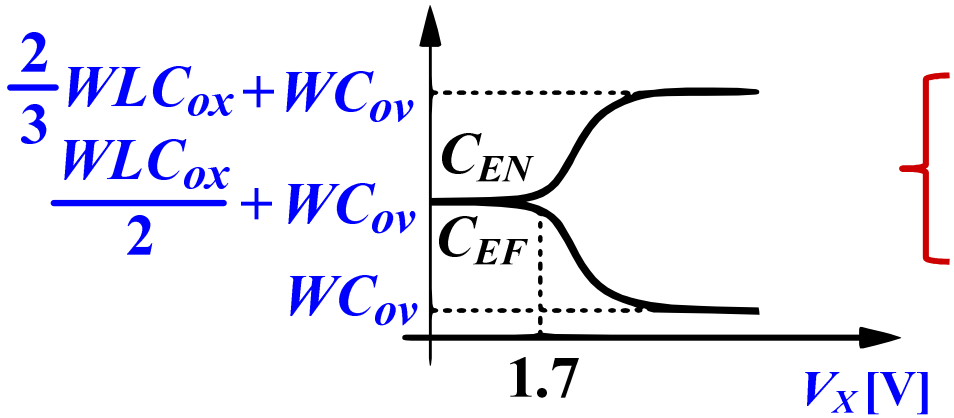
خازن‌های پیوندی ترانزیستور ماسفت



- می‌خواهیم که تغییرات خازنی ترانزیستور M_1 را با تغییر ولتاژ V_X از صفر ولت تا سه ولت بررسی کنیم.
- فرض کنید که $V_{TH} = 0.3\ \text{V}$ و $\lambda = \gamma = 0$ باشند .
- به ازای $V_X \approx 0$، ترانزیستور در ناحیه تریود قرار می‌گیرد. لذا :

$$C_{EN} \approx C_{EF} = W\ C_{ov} + 0.5\,W\ L\ C_{ox}$$

- به ازای V_X بیشتر از یک ولت، نقش درین و سورس عوض شده و در $V_X \geq 2.0\ \text{V} - 0.3\ \text{V} = 1.7\ \text{V}$، ترانزیستور وارد ناحیه اشباع می‌شود. لذا :



$$\begin{cases} C_{EN} = W\ C_{ov} + \dfrac{2}{3}\left(W\ L\ C_{ox}\right) \\ C_{EF} = W\ C_{ov} \end{cases}$$

مدل اسپایس ترانزیستورهای ماسفت

***n*MOS Model**

LEVEL = 1	**VT0 = 0.7**	**GAMMA = 0.45**	**PHI = 0.9**
NSUB = 9e+14	**LD = 0.08e–6**	**U0 = 350**	**LAMBDA = 0.1**
TOX = 9e–9	**PB = 0.9**	**CJ = 0.56e–3**	**CJSW = 0.35e–11**
MJ = 0.45	**MJSW = 0.2**	**CGDO = 0.4e–9**	**JS = 1.0e–8**

***p*MOS Model**

LEVEL = 1	**VT0 = –0.8**	**GAMMA = 0.40**	**PHI = 0.8**
NSUB = 5e+14	**LD = 0.09e–6**	**U0 = 100**	**LAMBDA = 0.2**
TOX = 9e–9	**PB = 0.9**	**CJ = 0.94e–3**	**CJSW = 0.32e–11**
MJ = 0.50	**MJSW = 0.3**	**CGDO = 0.3e–9**	**JS = 0.5e–8**

- شبیه‌سازهای *HSPICE* و *Cadence Virtuoso* نیازمند مدل ترانزیستورها برای انجام شبیه‌سازی هستند.
- جدول، ساده‌ترین مدل ترانزیستورهای ماسفت یعنی مدل « سطح ۱» را نشان می‌دهد.
- این مدل، متغیرهای مربوط به فن‌آوری 0.5µm را مشخص می‌کند.

اثر فن‌آوری بر روی متغیرهای مختلف ترانزیستور (*)

اندازه تقریبی متغیرها برای ترانزیستورهای ماسفت مجتمع شده در فرآیندهای ساخت مختلف

Parameter	0.80 µm		0.50 µm		0.25 µm		0.18 µm		0.13 µm		65 nm	
	*n*MOS	*p*MOS	*n*MOS	*p*MOS	*n*MOS	*p*MOS	*n*MOS	*p*MOS	*n*MOS	*p*MOS	*n*MOS	*p*MOS
***tox* (nm)**	15	15	9	9	6	6	4	4	2.7	2.7	1.4	1.4
C_{ox} (fF/µm²)	2.3	2.3	3.8	3.8	5.8	5.8	8.6	8.6	12.8	12.8	25	25
μ (cm²/V·s)	550	250	500	180	460	160	450	100	400	100	216	40
μC_{ox} (µA/V)	127	58	190	68	267	93	387	86	511	128	540	100
V_{TH} (V)	0.7	−0.7	0.7	−0.8	0.5	−0.6	0.5	−0.5	0.4	−0.4	0.35	−0.35
V_{DD} (V)	5.0	5.0	3.3	3.3	2.5	2.5	1.8	1.8	1.3	1.3	1.0	1.0
C_{ov} (fF/µm)	0.2	0.2	0.4	0.4	0.3	0.3	0.37	0.33	0.36	0.33	0.33	0.31

متغیرهای تقریبی ترانزیستورهای مجتمع دوقطبی

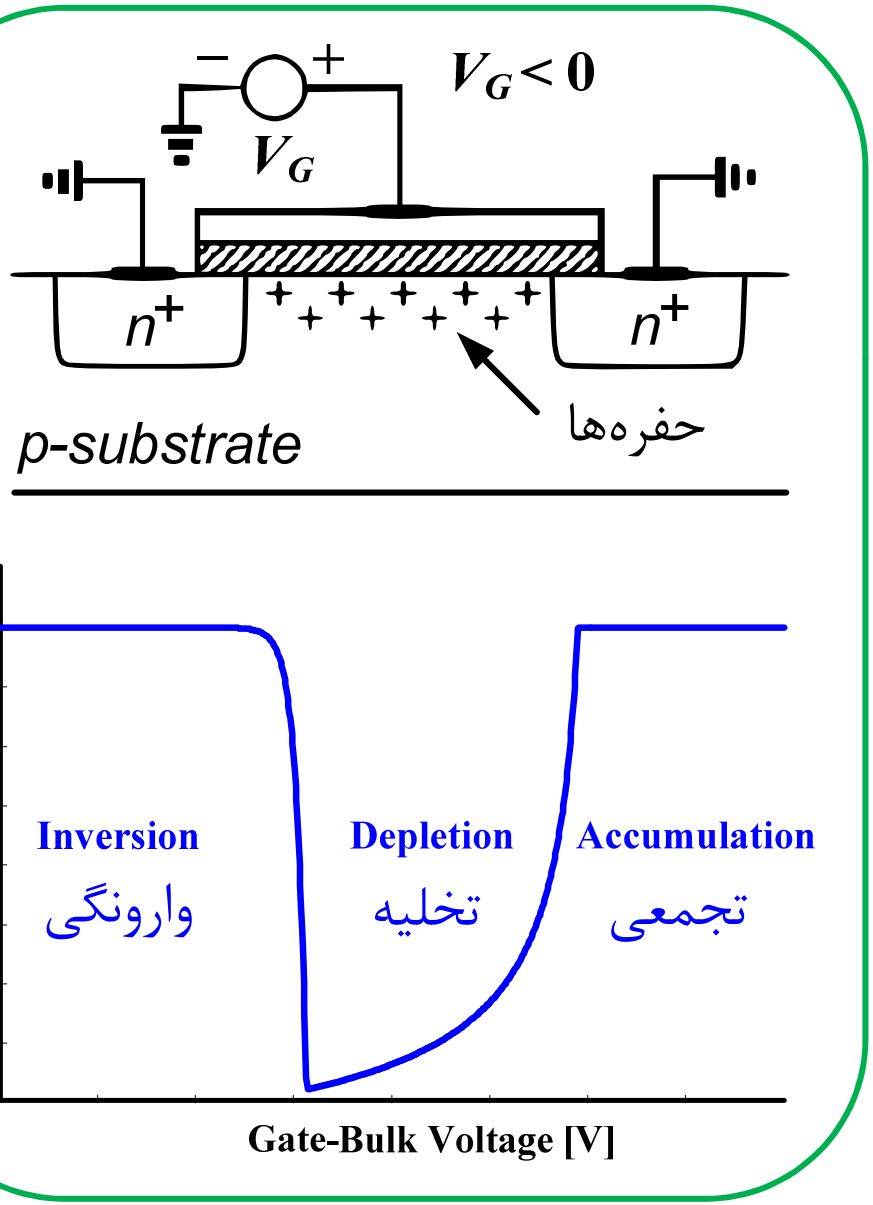
Parameter	*Lateral pnp* High–Voltage	*Lateral pnp* Advanced
I_S (A)	2×10^{-15}	6×10^{-18}
β_0 (A/A)	50	50
V_A (V)	50	30

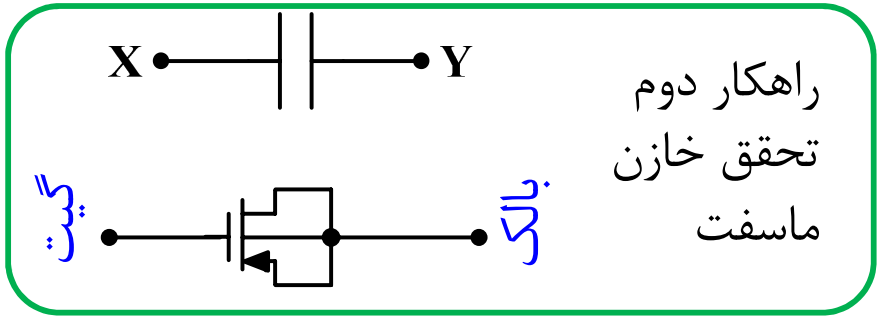
مقایسه انواع ترانزیستورهای ماسفت

- در اغلب فن‌آوری‌های CMOS، ترانزیستورهای pMOS کارآیی پایین‌تری نسبت به نوع nMOS دارند.
- تحرک‌پذیری کمتر حفره در مقایسه با الکترون، باعث کاهش جریان و هدایت انتقالی ترانزیستورهای pMOS در شرایط یکسان می‌شود.
- ترانزیستورهای nMOS مقاومت خروجی بالاتری دارند. لذا منابع جریان ساخته شده از آنها، به حالت ایده‌آل نزدیک‌تر است و این ترانزیستورها، مقاومت خروجی بیشتری را در آرایش تقویت‌کننده از خود نشان می‌دهند.
- اغلب ترجیح می‌دهیم که از ترانزیستورهای nMOS به جای نوع pMOS استفاده کنیم.
- در اغلب موارد مطرح شده در این درس، ترجیح می دهیم که از ترانزیستور در ناحیه **وارونگی قوی** و **اشباع** استفاده کنیم.

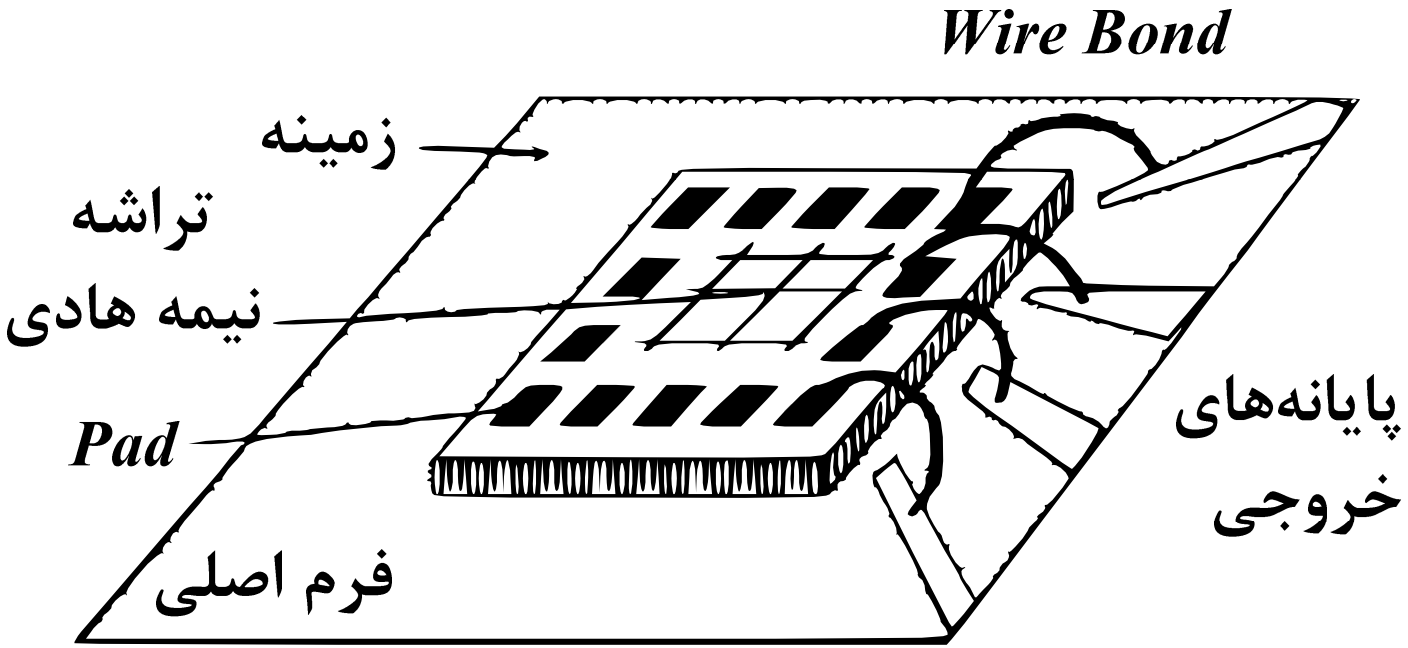
استفاده از ترانزیستورهای ماسفت به عنوان خازن

- اگر سورس، درین و بدنه (بالک) یک ترانزیستور به هم متصل شوند، می‌توانیم از آن به عنوان خازن از گیت تا بالک استفاده کرد.
- به ازای V_{GS}های بسیار منفی، انباشتگی حامل‌ها در زیر اکسید گیت اتفاق می‌افتد و خازنی با ظرفیت خازنی واحد سطح C_{ox} شکل می‌گیرد.
- با افزایش V_{GS}، تخلیه حامل‌ها در زیر گیت اتفاق می‌افتد و ترانزیستور وارد ناحیه زیرآستانه می‌شود. ظرفیت خازنی، حاصل سری C_{ox} و C_{dep} است.
- به ازای V_{GS}های بیش از V_{TH}، کانال مجدداً تشکیل می‌شود و ظرفیت خازنی مجدداً برابر C_{ox} می‌شود.



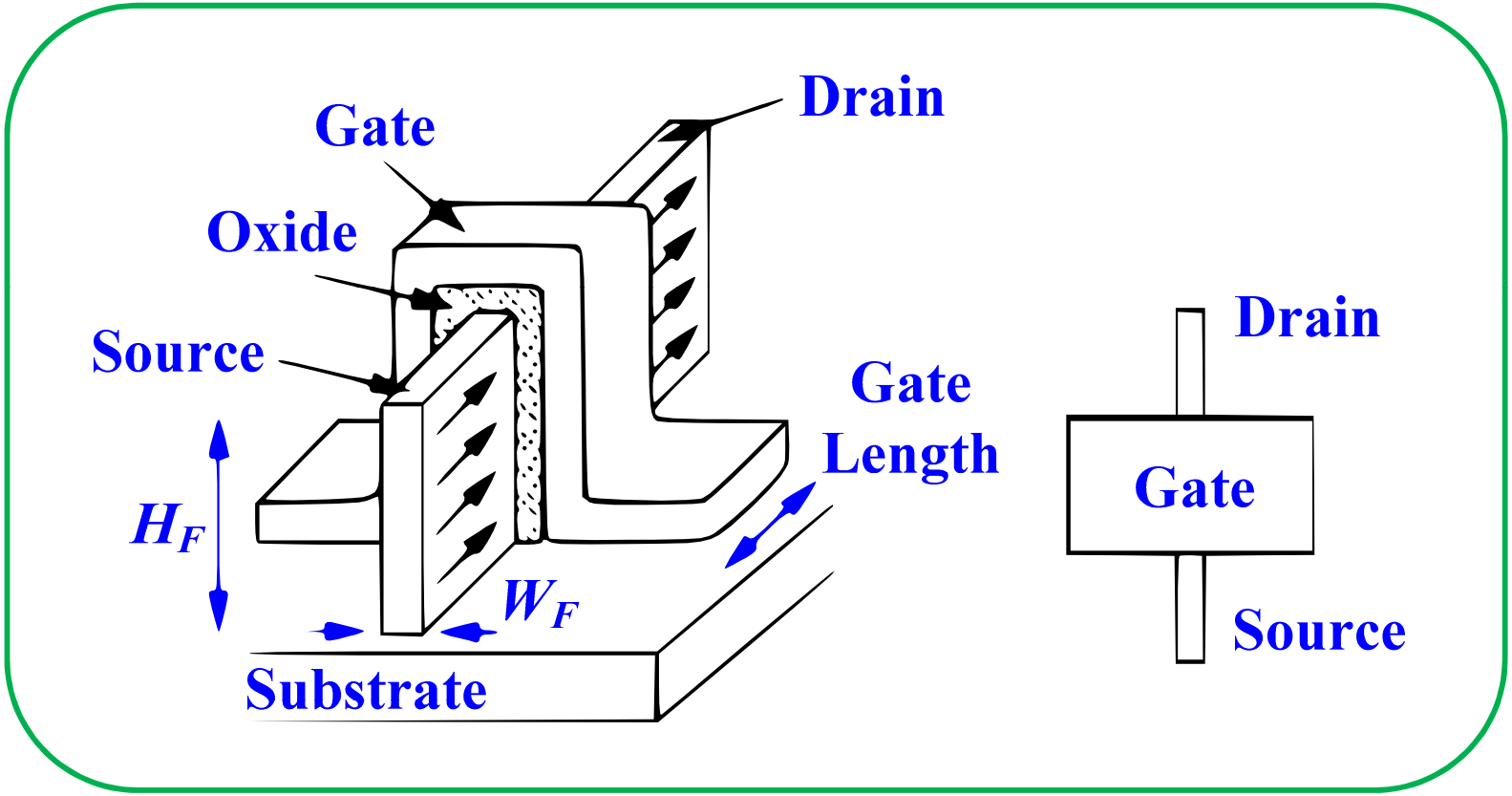


تراشه بسته‌بندی شده (*)



معمولاً ابعاد تراشه، بسیار کوچک‌تر از بدنه پلاستیکی سیاه رنگ اطراف آن است.

ترانزیستورهای فین‌فت (*)



- ترانزیستورهای فین‌فت دارای ابعاد سه بعدی هستند و در مقایسه با ترانزیستورهای ماسفت، از خود عملکرد بهتری را به‌ازای طول کانال پایین‌تر از ۲۰ نانومتر نشان می‌دهند.